

특 2001-0051328

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/60		(11) 공개번호 (43) 공개일자	특2001-0051328 2001년06월25일
(21) 출원번호	10-2000-0063933		
(22) 출원일자	2000년10월30일		
(30) 우선권주장	2000-134213 2000년04월28일 일본 (JP) 2000-134215 2000년04월28일 일본 (JP) 1999-307986 1999년10월29일 일본 (JP)		
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나바 쓰토무 일본 도쿄토 치요다쿠 간다스루가다이 4쵸메 6반치 덴메이히로유키		
(72) 발명자	일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 미노우에고우스케 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 야마구찌요시히데 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 안조이지로 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 니시무라야사오 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 오오로꾸노리유키 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 호우조우지히로시 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 프노다시게하루 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 미나가와마도카 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 우지이에겐지 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 간다나오야 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 야지마아끼라 일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내		
(74) 대리인	구영철, 장수길		

심사청구 : 있음

(54) 반도체 장치

요약

본 발명의 목적은 언더필이 불필요한 플림 칩 접속을 가능하게 하는 반도체 장치를 실현하는 것에 있다. 본 발명은 반도체 소자와, 상기 반도체 소자 상에 형성된 절연층과, 상기 절연층 상에 형성되어 상기 반도체 소자가 포함하는 전극과 전기적으로 접속한 외부 접속 단자를 포함하는 반도체 장치에 있어서, 상기 절연층의 엣지로부터 상기 절연층의 두께가 거의 동일한 평탄부에 이르기까지의 영역에 있어서 전원용 배선 혹은 접지용 배선의 배선 패턴의 종류와 신호용 배선의 배선 패턴의 종류가 다른 것이다.

도표도

도1

색인어

반도체 장치, 웨이퍼, 응력 완화층, 보호막, 급전막, 범프, 범프 패드, 역 패턴

명세서

도면의 간단한 설명

- 도 1은 본 발명의 반도체 장치의 일 실시예의 구조를 나타내는 부분 단면도.
- 도 2는 본 실시예의 반도체 장치가 연속적으로 형성되어 있는 상태를 나타내는 평면도.
- 도 3은 본 발명의 반도체 장치의 제조 단계의 일례를 나타낸 도면.
- 도 4는 본 발명의 반도체 장치의 제조 단계의 일례를 나타낸 도면.
- 도 5는 본 발명의 반도체 장치의 제조 단계의 일례를 나타낸 도면.
- 도 6은 본 발명의 응력 완화층의 형성에 사용하는 인쇄용 마스크를 나타낸 도면.
- 도 7은 응력 완화층을 인쇄하고 있는 단계를 나타내는 도면.
- 도 8은 인쇄 마스크가 웨이퍼보다 상승하는 판 분리 단계를 나타내는 도면.
- 도 9는 응력 완화층이 형성된 반도체 장치를 나타낸 도면.
- 도 10은 노광용 마스크를 레지스트에 밀착시킨 상태를 나타낸 도면.
- 도 11은 재배선용 배선의 일례를 나타낸 도면.
- 도 12는 재배선용 배선의 다른 일례를 나타낸 도면.
- 도 13은 실제 재배선용 배선 패턴의 현상 부족을 나타내는 도면.
- 도 14는 재배선용 배선의 다른 일례를 나타낸 도면.
- 도 15는 재배선용 배선의 다른 일례를 나타낸 도면.
- 도 16은 재배선용 배선의 다른 일례를 나타낸 도면.
- 도 17은 본 발명에서 제7 단계까지를 거친 반도체 장치를 나타낸 도면.
- 도 18은 응력 완화층의 막 두께와 응력의 관계를 나타낸 도면.
- 도 19는 응력 완화층의 막 두께와 α 선의 관계를 나타낸 도면.
- 도 20은 본 발명의 반도체 장치의 구조의 일 실시예를 나타낸 도면.
- 도 21은 본 발명의 반도체 장치의 구조의 일 실시예를 나타내는 도면.
- 도 22는 본 발명의 반도체 장치의 구조의 일 실시예를 나타내는 도면.
- 도 23은 본 발명의 반도체 장치의 구조의 일 실시예를 나타내는 도면.
- 도 24는 응력 완화층의 막 두께를 부분적으로 얇게 한 반도체 장치를 나타낸 도면.
- 도 25는 응력 완화층의 막 두께를 부분적으로 얇게 한 반도체 장치를 회로 기판에 접속한 상태를 나타낸 도면.
- 도 26는 본 발명의 반도체 장치의 구조의 일 실시예를 나타내는 도면.
- 도 27은 응력 완화층을 반도체 장치와 이웃의 반도체 장치와의 경계를 넘어 형성한 상태를 나타낸 도면.
- 도 28은 응력 완화층을 절단하는 방법을 나타낸 도면.
- 도 29는 반도체 장치를 기판에 탑재한 일 실시예의 도면.
- 도 30은 반도체 장치를 기판에 탑재한 다른 일 실시예의 도면.

- 도 31은 종래의 반도체 장치를 나타낸 도면.
 도 32는 종래의 반도체 장치를 회로 기판에 접속한 상태를 나타낸 도면.
 도 33은 본 발명의 반도체 장치의 구조의 일 실시예를 나타내는 도면.
 도 34는 본 발명의 반도체 장치의 구조의 다른 일 실시예를 나타내는 도면.
 도 35는 본 발명의 반도체 장치의 구조의 다른 일 실시예를 나타내는 도면.
 도 36은 본 발명의 반도체 장치의 구조의 다른 일 실시예를 나타내는 도면.
 도 37은 본 발명의 반도체 장치의 구조의 일 실시예를 나타내는 도면.
 도 38은 본 발명의 반도체 장치의 구조의 다른 일 실시예를 나타내는 도면.
 도 39는 본 발명의 반도체 장치의 구조의 다른 일 실시예를 나타내는 도면.
 도 40은 본 발명의 반도체 장치의 구조의 다른 일 실시예를 나타내는 도면.
 도 41은 유리 전이 온도와 선 팽창 계수의 관계를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 범프
 3 : 범프 패드
 5 : 응력 완화층
 7 : 알루미늄 패드
 8 : 보호막
 9 : 웨이퍼
 13 : 반도체 장치
 16 : 급전막
 17 : 역 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립 칩 접속을 목적으로 하는 반도체 장치의 구조 및 제조 방법에 관한 것이다.

반도체 장치의 대부분은 적층 구조로 되어 있고, 각층 간에는 절연층이 배치되어 있는 경우가 많다. 이 절연층에는 개구부가 설치되어 있고, 그 개구부를 통해서 하층의 단자와 상층의 단자를 접속하는 배선이 형성되어 있다.

절연층 형성 방법으로서 이하의 방법이 채용되고 있다. 즉, 감광성 절연 재료를 반도체 장치 상에 스핀 코팅법에 의해 도포하고, 노광 및 현상을 실시함으로써 절연층의 개구부를 형성한다. 또한, 하층의 단자와 상층의 단자를 접속하는 금속 배선은 제2 감광성 재료를 절연층 상층에 도포하고, 이에 대하여 노광 및 현상을 행함으로써 마스크를 형성하고, 이것과 도금, 스퍼터, CVD, 증착 등의 프로세스를 병용함으로써 절연층 하층의 단자와 상층을 연결하는 금속 배선을 형성한다. 마스크로서 사용한 감광성 절연 재료는 불필요해지면, 이것을 제거한다.

이상의 단계에 의해, 절연층의 하층에 있는 단자와 상층을 접속하는 배선이 형성 가능해진다. 이러한 단계에 의해 형성된 반도체 장치의 부분 단면도를 도 31에 도시한다. 도 31에서 알루미늄 패드(?)가 절연층(12) 하층의 단자로 되어 있고, 범프 패드(3)가 절연층 상층의 단자로 되어 있다. 그리고 반도체가 형성된 웨이퍼(9) 상에 형성된 절연층(12)은 알루미늄 패드(?) 상에 개구부가 설치되어 있다. 또한, 알루미늄 패드(?)로부터 절연층(12) 상층의 범프 패드(3)까지 금속 배선(11)이 형성되어 있다. 범프 패드(3)에는 범프(10)가 형성되어 있다. 또, 이와 같이 알루미늄 패드(?)로부터 범프 패드(3)까지의 배선을 형성하는 것은 재배선이라 불린다. 또한, 이 때의 절연층(12)의 두께는 금속 배선(11)의 두께와 거의 동등하게 되어 있다.

이러한 단계를 거쳐 제조된 반도체 장치를 프린트 배선판과 같은 회로 기판 상에 실장하여 접속하는 형태의 하나로 플립 칩 접속이 있다. 도 32는 플립 칩 접속한 반도체 장치의 단면도이다. 반도체 장치(13)와 회로 기판(14)과의 접속은 반도체 장치(13)의 단자 상에 설치된 범프(10)가 회로 기판 상에서 용융 후에 재차 고체화함으로써 실현되고 있다. 반도체 장치(13)와 회로 기판(14)과의 간극은 고강성의 수지로 충전되어 있다. 또, 이 수지는 언더필(underfill)(15)로 불리고, 접속부를 보강하는 효과가 있다. 언더필을 실시한 플립 칩 접속의 예로서 특허공보 11-111768호 공보가 있다.

그러나 상기 종래 기술에는 이하와 같은 문제가 있다.

첫째로 반도체 장치와 회로 기판의 간극에의 수지 공급 방법에 어려움이 있다. 즉, 간극이 일반적으로 0.3mm이하인 간극에 대하여 수지를 공급하는 방법으로 모세관 현상(capillary phenomenon)을 이용하는 방

범이 취해지고 있다. 그러나, 언더필링의 수지 재료는 고정도의 액형 수지이기 때문에, 간극에 매립하는 시간이 길리고, 또한 공기잡이 잔존하기 쉬운 등의 문제가 있다.

둘째로 반도체 장치의 제거에 어려움이 있다. 즉, 회로 기판에 접속한 반도체 장치가 불량품인 경우, 동일 반도체 장치를 회로 기판 상으로부터 제거하더라도, 경화한 언더필 재료가 제거된 후에도 회로 기판 상에 잔류하기 때문에, 회로 기판의 재생이 어렵다고 하는 문제가 존재한다.

제1 및 제2 문제점을 해결하기 위해서도, 언더필을 실시하지 않고서 반도체 장치를 회로 기판에 접속하는 것이 바람직하다. 그러나, 언더필은 완성된 전기 제품을 사용할 때의 발열 등에 의한 접속부에 생기는 왜곡에 기인하는 접속부의 파괴를 방지하는 목적으로 실시되고 있고, 실시하지 않은 경우에는 반도체 장치의 접속 수명이 극단적으로 짧아진다고 하는 문제가 생긴다.

그런데, 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현하기 위해서, 후막 절연막을 인쇄 형성한 경우, 외부 접속용 단자와 후막 절연층 상에 형성하는 범프 패드에는 두께막 절연층만의 간극이 존재한다.

따라서, 통상의 방법에서 노광한 경우, 노광의 초점이 맞지 않고 해상 부족이 발생한다.

발명이 이루고자하는 기술적 과제

본 발명의 제1 목적은 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현하고, 고정밀도로 배선을 형성하는 것에 있다.

본 발명의 제2 목적은 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현함과 함께 기판 등에서의 실장시의 신뢰성을 향상시킨 반도체 장치를 제공하는 것에 있다.

본 발명은 상기 목적을 달성하기 위해서, 특허 청구의 범위대로 구성하는 것이다. 이와 같이 원하는 절연층(후막 절연층) 상에 배선을 형성함으로써 상기 제1 목적은 달성된다. 예를 들면, 배선의 폭을 후막 절연층의 평탄부와 경사부에 있어서 배선 폭을 바꾼다, 즉 경사부의 배선 폭을 굵게 함으로써 고정밀도로 배선을 형성하는 것으로 하였다.

또한, 액형의 레지스트를 이용한 경우, 후막 절연층과 후막 절연층 아래에 형성되어 있는 절연층의 경계면에 있어서 레지스트의 막 두께가 두꺼워지고, 해상성이 저하하기 때문에, 필름 레지스트를 이용함으로써 고정밀도로 배선을 형성하는 것으로 하였다.

또한, 예를 들면, 반도체 장치의 접속 수명을 연장하기 위해서 마스크 인쇄의 조건을 조정하고, 후막 절연층의 주변부의 막 두께를 조정하여 얇게 하면, 반도체 장치의 해당 개소에 존재하는 범프 정점이 다른 범프와 비교하여 반도체 장치측에 인입된 형태가 된다. 이 반도체 장치를 회로 기판에 접속하면, 인입된 범프는 다른 범프와 비교하여 세로 길이로 연재되고, 파괴가 전전하기 어려운 형상으로 최적화된다. 이 때문에, 큰 부하를 받기 쉬운 반도체 장치 주변부의 범프의 접속 강도는 향상하고, 반도체 장치의 접속 수명이 더욱 연장되고, 상기 제2 목적은 달성된다. 또한, 후막 절연층의 경사부에 범프를 형성함으로써, 반도체 장치의 미세화에도 대응할 수 있다. 또, 본명세서에서는 이 후막 절연층을 응력 완화층(compliant layer)으로 기재하고 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예에 관해서 도면을 병용하면서 설명한다. 또, 모든 도면에 있어서, 동일 부호는 동일 부위를 나타내고 있기 때문에, 중복하는 설명을 생략하고 있는 경우가 있고, 또한 설명을 쉽게 하기 위해서 각부의 치수비를 실제와는 달리하고 있다.

우선, 본 실시예에 의한 반도체 장치의 구조에 관해서 설명한다. 반도체 장치는 웨이퍼 단위로 다수개가 밀집하여 제조되지만, 이하에서는 설명을 용이하게 하기 위해서 그 일부를 추출하여 설명한다. 도 1에 본 실시예의 반도체 장치(13)의 부분 단면도를 나타낸다.

반도체 회로가 형성된 웨이퍼(9)는 반도체 제조 단계에서 말하는 전 단계를 종료한 웨이퍼이고, 다수개의 반도체 장치(13)로 분할 절단하기 전의 것이다. 각 반도체 장치(13)에는 외부용 접속 단자, 예를 들면 알루미늄 패드(7)가 형성되어 있다. 이 알루미늄 패드(7)는 종래형의 반도체 장치(13)에 있어서, QFP(Quad Flat Package)등의 반도체 패키지에 넣는 경우에 금 와이어 등을 접속하고 반도체 패키지의 외부 단자로서의 도통을 실현하기 위해서 사용되고 있다. 반도체 회로가 형성된 반도체 장치(13)의 표면은 알루미늄 패드(7) 상 및 다수개의 반도체가 형성된 웨이퍼(9)를 접형의 반도체 장치(13)로 절단할 때의 절단부(24) 및 그 주변을 제외하고, 보호막(8)으로 피복되어 있다. 이 보호막(8)에는 두께 1 내지 100 마이크로미터 정도의 무기 재료로 이루어지는 절연 수지 단독 혹은 유기 재료로 이루어지는 절연 수지를 병용하고 있다. 이 보호막(8)에는 두께 1 내지 100 마이크로미터 정도의 무기 재료로 이루어지는 절연막을 단독, 혹은 상기 무기 절연막의 상부에 유기 재료로 이루어지는 유기 절연막을 적층한 복합막을 사용하고 있다. 이 복합막을 사용하는 경우, 상기 유기막은 감광성 수지 재료를 사용하는 것이 바람직하다. 본 실시예에서 보호막(8)의 유기막으로서 적합한 감광성 재료를 예시하면, 감광성 폴리이미드, 감광성 벤조시클로부텐, 감광성 폴리벤즈옥사졸 등이 있다. 본 실시예에서는 이에 한하지 않고 보호막으로서 공지 관용의 무기 재료, 유기 재료 혹은 이들의 복합막을 사용할 수 있다. 예를 들면 무기막으로서는 SiN 혹은 SiO₂ 등을 사용할 수 있다.

또한, 상기 유기막은 무기막의 거의 전면을 피복하도록 형성되어 있어도 물론 상관없지만, 도 33에 도시된 바와 같이 알루미늄 패드(7)의 근방이 되는 영역에만 형성되어 있어도 상관없고, 도 34에 도시된 바와 같이 유기막 표면의 임의의 복수 개소에만 형성되어 있어도 상관없다. 이와 같이 유기막의 영역을 한정함으로써 보호막(8)의 내부 응력에 의한 웨이퍼(9)의 휘어짐이 저감되고, 제조 단계에서 핸드링이나 노광시의 초점 맞추기 등의 점에서 유리해진다. 또 본 실시예에서는 알루미늄 패드(7) 근방의 영역은 알루미늄 패드(7)의 단부로부터 최대 거리 1 mm까지의 영역을 가리키고 있다. 또, 도 33 및 도 34에서는 알루미늄

미늄 패드(?) 주위의 유기막은 연속 영역으로 형성되어 있지만, 개개의 알루미늄 패드마다 각각 독립된 영역으로 형성하여 상관없다. 구체적으로는 예를 들면 도 35와 같은 영역으로 된다. 도 33 내지 도 35 중 어느 쪽의 형태를 사용할지는 상기 유기막에 사용하는 감광성 수지의 패턴 정밀도, 막의 내부 응력, 및 상기 반도체 장치의 소자 특성을 감안하여 결정한다. 여기서 말하는 소자 특성의 일례를 들면, 상기 반도체 장치에의 응력 작용에 의해 소자 내부의 개개의 액티브 셀(트랜지스터)에서 에너지 장벽의 준위가 변동하거나 하는 것을 가리키고 있다.

보호막(8) 상에는 두께 35 내지 150마이크로미터의 응력 완화층(5)이 선택적으로 형성되어 있다. 응력 완화층의 막 두께는 반도체 소자의 사이즈, 응력 완화층의 탄성을, 반도체 소자 두께 등에도 의존하고 있어 일률적으로는 단정할 수 없지만, 일반적으로 사용되는 반도체 소자 두께는 대개 150 내지 750마이크로미터이고, 반도체 소자와 그 표면에 형성되는 응력 완화층으로 이루어지는 바이 메탈 모델로 응력 시뮬레이션 실험을 행한 바, 소요의 응력 완화층 막 두께는 10 내지 200마이크로미터가 바람직하고, 또한 바람직하게는 35 내지 150마이크로미터인 것을 알았기 때문에 본 실시예는 이 막 두께 범위에서 형성하였다. 이것은 반도체 소자의 두께에 대하여 약 1/20으로부터 1/5 정도의 두께에 상당한다. 막 두께가 35마이크로미터보다 작아지면, 원하는 응력 완화를 얻을 수 없고 또한 막 두께가 150마이크로미터를 초과하여 두꺼워지면 응력 완화층(5) 자신이 갖고 있는 내부 응력을 때문에 웨이퍼의 휘어짐이 발생하고, 노광 단계에서의 핀트 머그남이나 배선 형성 단계 등에서의 핸드링 문제점 등이 발생하기 쉬워지고, 생산성이 저하한다고 하는 문제가 있다. 응력 완화층(5)은 반도체 웨이퍼(9)보다 대폭적으로 작은 탄성 계수, 예를 들면 실온에 있어서 0.1GPa로부터 10GPa의 탄성 계수를 갖는 수지 재료에 의해 형성되어 있다. 이 범위의 탄성 계수를 갖는 응력 완화층이면 신뢰성이 있는 반도체 장치를 제공할 수 있다. 즉, 0.1GPa를 하회하는 탄성 계수의 응력 완화층의 경우, 반도체 소자 그 자체의 중량을 지지하는 것이 곤란해져 반도체 장치로서 사용할 때에 특성이 안정되지 않는다고 하는 문제가 생기기 쉽다. 한편, 10GPa를 초과하는 탄성 계수의 응력 완화층을 사용하면, 응력 완화층(5) 자신이 갖고 있는 내부 응력을 때문에 웨이퍼의 휘어짐이 발생하고, 노광 단계에서의 핀트 머그남이나 배선 형성 단계 등에서의 핸드링 문제점 등이 발생하기 쉬워지고, 게다가 웨이퍼가 깨어진다고 하는 문제점이 발생할 위험성조차 있다. 응력 완화층(5)의 엣지부는 경사를 갖고 있고, 그 평균 경사는 5% 내지 30% 정도이다. 5%를 하회하는 경사각의 경우, 경사가 너무 길어져 원하는 막 두께가 얻어지지 않는다. 예를 들면, 평균 경사 3%의 경사각에서 두께 100마이크로미터로 하기 위해서는 3밀리미터 이상의 수평 거리가 필요하게 되고 좌우의 엣지부를 정합하면 거의 7밀리미터가 없으면 원하는 막 두께를 얻을 수 없게 된다. 한편, 경사각이 30% 이상인 경우, 수평 거리의 점에서서는 문제가 없지만, 반대로 배선 형성 때에 충분한 스텝 커버리지가 얻어지지 않을 위험성이 높다. 특히 도금 레지스트의 부착이나 노광 및 현상의 단계에서의 프로세스 마진이 없고, 특별한 기능 또는 기술이 필요해진다. 또한 경사각이 큰 경우에는 소위 응력 집중 효과가 작용하여 그 엣지부에 응력이 집중하고, 그 결과로서 엣지부에서 재배선을 배선(4)의 단선이 발생하기 쉬워지는 경향이 나타나, 배선 구조에 특별한 연구가 필요하게 되는 경우가 있다.

도 1의 경우, 응력 완화층(5)의 엣지보다 500마이크로미터의 수평 거리에서 500마이크로미터의 막 두께로 되어 있기 때문에, 평균 경사는 10%이다. 재배선을 배선(4)은 구리 등의 도체로 형성되어 있고, 알루미늄 패드(7)와 응력 완화층(5) 표면의 물기형 전극, 예를 들면 범프 패드(3)를 접속하고 있다. 또한 범프 패드(3) 상은 범프 패드(3)의 산화를 방지하기 위한 금 도금(2)을 설치하여도 좋다. 반도체 장치(13)의 표면은 범프 패드(3) 및 다수개의 반도체가 형성된 웨이퍼(9)를 각 반도체 장치(13)로 절단할 때의 절단부(24)를 제외하고, 표면 보호막(6)으로 피복되어 있다.

표면 보호막(6)으로 보호막(8) 및 응력 완화층(5)을 완전히 파복함으로써 밀봉하고 있기 때문에, 반도체 소자가 형성된 웨이퍼(9)의 표면으로부터 보호막(8) 및 응력 완화층(5)이 박리되는 것을 방지하고, 반도체의 성능 열화를 야기하는 이온 등의 이물질의 침입도 경감할 수 있다. 또한, 보호막(8), 응력 완화층(5), 표면 보호막(6)은 어느 것이나 절단부(24)보다 후퇴하고 있기 때문에, 반도체 장치(13)를 절단 분리할 때에 손상을 받는 일이 없다.

표면 보호막(6)으로서의 전기 절연 특성을 갖는 각종 수지 재료를 사용할 수 있다. 패턴을 형성할 필요가 있기 때문에 감광성 재료인 것이 바람직하지만, 예를 들면 잉크 제트 등의 고정밀도 인쇄에 대응한 재료를 이용하여 인쇄로 성막하여도 상관없다. 기타, 커튼 코트 등의 염가인 도포 방법에 의해서 절연막을 베타 형성한 후에 포토리소그래피 프로세스를 이용하여 에칭 레지스트를 형성하여 패턴닝하고, 이 레지스트 패턴을 이용하여 상기 절연막을 에칭 가공, 레지스트 박리라는 단계를 거쳐 성막하여도 좋다.

이러한 재료로서, 본 실시예에서는 여러 가지 재료가 사용 가능하지만, 몇 개를 예시하면 (1) 감광성 재료로서 아크릴 변성 감광성 에폭시 수지, 감광성 폴리이미드 수지, (2) 잉크 제트 인쇄 재료로서 폴리 아미드이미드 수지, 폴리이미드 수지, (3) 베타 성막용 재료로서 변성 트리마졸 수지, 변성 멜라민 수지, 폴리이미드 수지 등이 적합하게 이용된다. 감광성 재료에 관해서 또한 구체적으로 예시하면, 염가인 감광성 수지 재료로서 프린트 기판 제조 단계에서 적합하게 사용되는 맵나 레지스트나 플렉시블 프린트 기판의 표면 커버에 이용되는 감광성 폴리이미드 등이 표면 보호막(6)으로서 적합하게 이용된다. 한편, 베타 성막용 재료로서는 예를 들면 도레이(주)의 포토니스TM 등이 적합하다. 또 본 실시예에서는 맵나 레지스트를 이용하였다.

범프 패드(3) 상에는 범프(1)가 형성되어 있다. 이 범프(1)는 맵나 재료로 형성하는 것이 일반적이다. 여기서 범프(1)가 외부 접속 단자로 된다.

도 2에 도 1에서 도시한 반도체 장치(13)가 웨이퍼 상에 연속적으로 형성되어 있는 상태를 본래는 존재하는 범프(1)를 생략한 평면도로 나타냈다. 도 2에 있어서 해칭으로 나타난 부위가 표면 보호막(6)인 맵나 레지스트이다. 또한, 응력 완화층(5)이 각을 통괄한 한 장방형 모양으로 형성되어 있는 상태에서 형성되어 있고, 각 반도체 장치(13) 간에는 각 반도체 장치(13)를 분리할 때의 여유부가 되는 절단부(24)가 존재한다. 여유부는 예를 들면 표면 보호막(6)의 단부로부터 10 내지 100마이크로미터에 위치하는 것이 바람직하다. 100마이크로미터보다 짧으면 각 반도체 장치를 분리할 때 티핑을 유발하기 쉬워지는 경향이 있고, 반대로 100마이크로미터보다 길어지면 반도체 소자로서 사용 가능한 유효 면적이 감소한다. 따라서, 반도체 장치(13)의 수율 향상을 위해서 여유부와 표면 보호층(6)과의 간격을 본 실시예에서는 10 내

지 1 00마이크로미터에 위치시키는 것이 바람직하다. 또, 재배선용 배선(4)의 일단의 하층에는 도시되어 있는 것처럼 알루미늄 패드(7)가 존재한다.

이 반도체 장치 구조에 따르면, 응력 완화층(5)이 재배선용 배선(4)과 웨이퍼(9) 간에 존재하기 때문에, 반도체 장치(13)가 회로 기판(14) 상에 접속되고, 그것이 동작할 때에 범프(1)가 받는 열에 의한 왜곡을 분산시키는 것이 가능해진다. 이 때문에, 이 반도체 장치(13)를 회로 기판(14)에 탑재하여도 언더필(15)을 실시하지 않고 접속 수명을 연장시키는 것이 가능해진다. 또한, 응력 완화층(5)은 완전한 경사부를 갖고 있기 때문에, 재배선용 배선(4) 도중에 응력 집중부로 되는 배선 굴곡부는 존재하지 않는다.

본 실시예에서 반도체 장치(13)의 제조 단계의 일례를 도면을 이용하여 설명한다. 도 3에 의해 제1 단계로부터 제3 단계까지를 도 4에 의해 제4 단계로부터 제6 단계를 도 5에 의해 제7 단계로부터 제9 단계를 설명한다. 또, 어느 쪽의 도면에 있어도, 본 실시예에서 반도체 장치(13)의 단면 구조를 알기 쉽도록 일부분을 추출한 단면도로 되어 있다.

제1 단계 :

외부 접속용의 알루미늄 패드(7)가 형성 종료된 반도체가 형성된 웨이퍼(9)에 대해서는 종래의 반도체 장치(13)와 동일 단계로 제조한다. 본 실시예에서 사용한 반도체 장치에서는 외부 접속용 패드의 재질은 알루미늄이었지만, 외부 접속 패드는 구리에도 상관없다. 본 실시예에서는 외부 접속으로서 와이어본딩을 사용하지 않기 때문에, 외부 접속 패드가 구리인 경우에 발생하기 쉬운 본딩성의 문제를 고려할 필요가 없기 때문이다. 외부 접속 패드가 구리이면 배선의 전기 저항을 저감할 수 있기 때문에, 반도체 소자의 전기 특성 향상의 관점으로부터도 바람직하다.

제2 단계 :

필요에 따라서, 보호막(8)을 형성한다. 보호막(8)은 무기 재료를 이용하여 반도체 제조 단계에서의 소위 전 단계에 있어서 이미 형성되는 경우도 있고 또한 무기 재료 상에 유기 재료를 이용하여 거칠 형성하는 경우도 있다. 본 실시예에서 반도체 단계에서 소위 전 단계에서 형성된 무기 재료로 이루어지는 절연막, 예를 들면 CVD법 등으로 형성한 질화규소, 테트라에톡시 실란 등에 의해서 형성된 이산화규소, 혹은 이들의 복합막으로 이루어지는 절연막 상에 유기 재료인 감광성 폴리이미드를 도포하고, 이것을 감광, 현상, 경화함으로써 두께 6마이크로미터 정도의 보호막(8)을 형성하고 있다. 이에 따라, 반도체가 형성된 웨이퍼(9) 상에 보호막(8)이 형성된다. 본 실시예에서는 보호막(8)의 막 두께를 6마이크로미터로 하였지만, 소요 막 두께는 해당 반도체 소자의 종류에 의해서 다르고, 그 범위는 1 내지 10 마이크로미터 정도로 된다. 또, 도 13에 도시되어 있는 바와 같이 상기 유기막은 무기막의 거의 전면을 파복하도록 형성되어 있어도 물론 상관없지만, 도 33 내지 도 35에 도시된 바와 같이 알루미늄 패드(7)의 근방이 되는 영역에만 형성되어 있어도 상관없다. 무기 재료만으로 이루어지는 절연막의 경우, 막 두께의 범위는 30마이크로미터 이하로 된다. 또한, 본원 실시예에서 사용한 감광성 폴리이미드 이외에도, 폴리벤즈옥사졸, 폴리벤조시클로부텐, 폴리퀴놀린, 폴리포스파젠 등도 사용할 수 있다.

제3 단계 :

페이스트형 폴리이미드 재료를 응력 완화층(5)의 형성 예정 개소에 인쇄 도포하고, 그 후 이것을 가열함으로써 경화시킨다. 이에 따라 보호막(8) 상에 응력 완화층(5)이 형성된다.

제4 단계 :

전기 도금에 이용하기 위한 금전막(16)을 스퍼터 등의 방법으로 형성한 후에, 배선의 역 패턴(17)을 포토 레지스트를 이용하여 형성한다.

제5 단계 :

이 금전막(16) 및 배선의 역 패턴(17)을 이용하여 전기 도금을 행하고, 재배선용 배선(4) 및 범프 패드(3)의 형성을 행한다. 또한, 필요에 따라서 전기 도금을 반복함으로써 재배선용 배선(4)을 다층 구조로 한다.

제6 단계 :

포토리소트로 이루어지는 배선의 역 패턴(17) 및 전기 도금의 금전막(16)을 에칭 처리에 의해 제거한다.

제7 단계 :

멤브레인 레지스트를 이용하여 표면 보호막(6)을 형성한다. 그리고, 그 패턴을 이용하여 범프 패드(3)의 최외곽 표면에 무전해 금 도금(2)을 행한다.

제8 단계 :

범프 패드(3) 상에 플럭스와 함께 멤브레인 불을 탑재하고, 가열함으로써 범프 패드(3)에 멤브레인 불을 접속하고 범프(1)를 형성한다.

제9 단계 :

반도체가 형성된 웨이퍼(9)를 웨이퍼 다이싱 기술에 의해 반도체 장치(13)로 절단한다.

이하에서는 상기한 제3 단계로부터 제8 단계까지에 관해서 상세하게 설명한다.

우선, 제3 단계에 관해서 설명한다. 인쇄에 사용하는 마스크는 프론트 배선판에 대한 멤브레인 레지스트 인쇄 등으로 사용하는 인쇄용 마스크와 동일 구조의 것이 사용 가능하다. 예를 들면, 도 6에 도시한 바와 같이 니켈 합금제의 스텐실(25)을 수지 시트(26)를 통해 프레임(27)에 접착한 형태의 메탈 마스크를 사용할 수 있다. 인쇄용 마스크의 패턴 개구부(28)는 50마이크로미터 정도는 인쇄 후에 페이스트가 날리 버지기 때문에, 그것을 예상하여 조금 작게 제작하도록 하여도 좋다. 도 7에 도시한 바와 같이 페이스트

인쇄는 인쇄용 마스크와 반도체가 형성된 웨이퍼(9)의 패턴을 위치 정렬한 상태에서 밀착시키고, 그 상태에서 스킴지가 스텐실(25) 상을 이동함으로써, 패턴 개구부(28)를 충전하고, 그 후, 인쇄용 마스크를 반도체가 형성된 웨이퍼(9)에 대하여 상대적으로 상승시킴으로써 인쇄를 하는 소위 컨택트 인쇄를 행한다. 또, 여기서 말하는 웨이퍼와 인쇄용 마스크의 밀착은 양자 간에 간극을 아주 없애는 것을 반드시 의미하지 않는다. 웨이퍼 상에는 이미 보호막(8)이 부분적으로 형성되어 있기 때문에, 이 상에 인쇄 마스크를 간극 없이 밀착시키는 것은 실용상 곤란하기 때문이다. 본 실시예에서는 웨이퍼와 인쇄용 마스크 간의 간극이 0~100마이크로미터가 되는 인쇄 조건에서 인쇄하였다. 이 이외에도, 제1 스킴지로 인쇄용 마스크의 스킴지면 전체를 페이스트로 코팅하고, 그 후, 제2 스킴지로 인쇄용 마스크의 패턴 개구부(28)를 충전하고, 또한 여분의 페이스트를 제거한다. 그 후, 인쇄용 마스크를 반도체가 형성된 웨이퍼(9)에 대하여 상대적으로 상승시키는 인쇄 방법도 있다. 도 8에 도시한 바와 같이 인쇄 마스크를 웨이퍼(9)에 대하여 상대적으로 상승시킬 때, 수직으로 상승시켜도 상관없지만, 상대적으로 경사각을 갖도록 움직이면서 상승시켜도 좋다. 경사각을 갖게 함으로써, 인쇄 마스크가 웨이퍼로부터 분리되는 경우의 판 분리 각이 웨이퍼면 내에서 균일해지기 쉽다. 또한, 인쇄 마스크는 웨이퍼의 한쪽 단으로부터 다른쪽 단을 향해서 분리되어 지고, 판 분리가 불안정해지기 쉬운 판 분리의 최후의 순간은 반도체 장치가 없는 영역에서 행해지게 되어 수를 향상의 점에서도 유리해진다. 또한, 동일한 인쇄기를 이용하여 여러장 웨이퍼에 연속적 인쇄를 행하는 경우에는 적절한 타이밍에서 마스크판의 이면을 닦아내는 단계를 삽입하면 좋다. 예를 들면, 본 실시예에서는 10장 연속 인쇄하면 1회 마스크판의 이면의 청소를 행하고, 그러한 후에 11장째의 인쇄를 행하였다. 마스크 이면의 청소의 타이밍, 횟수, 그 방법은 페이스트 재료의 점도나 고형분 농도, 필러양 등에 의해서 적절하게 조절이 필요해진다.

계속해서 페이스트가 인쇄 도포된 반도체가 형성된 웨이퍼(9)를 한 플레이트나 가열로를 이용하여 단계적으로 가열함으로써 페이스트가 경화하고, 응력 완화층(5)의 형성이 완료된다.

여기서 사용하고 있는 응력 완화층(5)의 형성용 재료는 페이스트형의 폴리이미드이고, 보호막(8) 상에 인쇄 도포된 후에 가열함으로써 경화할 수 있다. 또한, 이 페이스트형의 폴리이미드는 폴리이미드의 프리커서와 용매 및 그 속에 분산한 다수의 폴리이미드의 미소립자로 이루어져 있다. 미립자로서는 구체적으로는 평균 입자 직경 1 내지 2마이크로미터이고, 최대 입자 직경이 약 10마이크로미터로 되는 입도 분포를 갖는 미소립자를 사용하였다. 본 실시예에 이용되고 있는 폴리이미드의 프리커서는 경화하면 폴리이미드의 미소립자와 동일 재료로 되기 때문에, 페이스트형의 폴리이미드가 경화했을 때에는 한층류의 재료로 이루어지는 균일한 응력 완화층(5)이 형성되게 된다. 본 실시예에서는 응력 완화층 형성 재료로서 폴리이미드를 이용하였지만, 본 실시예로서는 폴리이미드 이외에 아미드이미드 수지, 에스테르이미드 수지, 에테르 이미드 수지, 실리온 수지, 아크릴 수지, 폴리에스테르 수지, 이들을 변성한 수지 등을 이용하는 것도 가능하다. 폴리이미드 이외의 수지를 사용하는 경우에는 상기 폴리이미드 미소립자 표면에 상용성을 부여하는 처리를 실시하거나, 혹은 상기 폴리이미드 미소립자와의 친화성을 향상시키도록 수지 조성에 변성을 실시하는 것이 바람직하다.

상기 열거한 수지 중, 이미드 결합을 갖는 수지, 예를 들면 폴리이미드, 아미드이미드, 에스테르이미드, 에테르이미드 등에서는 이미드 결합에 의한 강고한 골격 덕분에 열 기계적 특성, 예를 들면 고온에서의 강도 등이 우수하고, 그 결과로서, 배선을 위한 도금 급전막 형성 방법의 선택수가 넓어진다. 예를 들면, 스텐실 등의 고온 처리를 동반한 도금 급전막 형성 방법을 선택할 수 있다. 실리온 수지나 아크릴 수지, 폴리에스테르 수지, 아미드이미드, 에스테르이미드, 에테르이미드 등 이미드 결합 이외의 결합으로 축합한 부분이 있는 수지의 경우, 열 기계 특성은 약간 뒤떨어지지만 가공성이나 수지 가격 등의 점에서 유리한 경우가 있다. 예를 들면, 폴리에스테르이미드 수지에서는 일반적으로 폴리이미드보다 경화 온도가 낮기 때문에 취급하기 쉽다. 본 실시예에서는 이들 수지 중으로부터 소자 특성, 가격, 열 기계 특성을 종합적으로 감안하여 이들의 수지를 적절하게 구별하여 사용한다.

페이스트형의 폴리이미드 중에 폴리이미드 미소립자를 분산시킴으로써 재료의 점탄 특성을 조정하는 것이 가능해지기 때문에, 인쇄성이 우수한 페이스트를 사용할 수 있다. 미소립자의 배합을 조정함으로써, 페이스트의 텍스토포픽 특성을 제어하는 것이 가능해지기 때문에, 점도의 조정으로 조합시킴으로써 인쇄 특성을 개선할 수 있다. 또한, 응력 완화층(5)의 경사 각도를 조절할 수도 있다. 본원 실시예에서 적합한 페이스트의 텍스토포픽 특성은 회전 점도계를 이용하여 측정된 회전수 1rpm에서의 점도와 회전수 10rpm에서의 점도의 비로부터 구한 소위 텍스토포픽 인덱스가 2.0으로부터 3.0의 범위 내 있는 것이 바람직하다. 또, 텍스토포픽 인덱스에 온도 의존성이 나타나는 페이스트의 경우, 텍스토포픽 인덱스가 2.0으로부터 3.0의 범위로 되는 온도 영역에서 인쇄하면 성능이 향상된다.

인쇄한 페이스트형의 폴리이미드를 가열 경화한 후에는 웨이퍼(9) 상에 도 9에 도시한 바와 같은 단면 형상을 갖는 응력 완화층(5)이 형성된다. 이와 같이 인쇄에 의해 응력 완화층(5)을 형성하면, 응력 완화층(5)의 엣지로부터 200 내지 1000마이크로미터의 곳에 팽창 부분이 존재하는 경우가 있지만, 이 팽창 부분의 위치 및 존재의 유무에 대해서는 페이스트형의 폴리이미드의 조성을 조정하거나, 인쇄에 관한 각종 조건을 변경함으로써 어느 정도 제어 가능해진다. 또, 이 경우의 인쇄에 관한 각종 조건으로서 는 메탈마스크 두께, 스킴지 속도, 스킴지 재질, 스킴지 각도, 스킴지압(인압), 판 분리 속도, 인쇄시의 웨이퍼의 온도, 인쇄 환경의 습도 등을 들 수 있다.

상기 팽창 부분의 높이나 형상의 제어는 상기 인쇄 조건에 의해서 달성할 수 있지만, 그 밖의 제어 방법으로 보호막(8)의 구조 조정에 의한 방법도 있다. 예를 들면, 도면에 도시한 바와 같이 보호막(8)의 유기층의 형성 영역을 패드(?) 근방에만 한정하면, 유기층 상부에 상당하는 부분의 응력 완화층을 쌓아 풀리게 하는 것은 용이하다.

또한, 도 1에 도시한 바와 같이 응력 완화층(5)에 팽창 부분을 적극적으로 형성한 경우에는 배선(4)의 골극 부분을 형성할 수 있고, 이에 따라 열 팽창 등에 의한 응력을 흡수하기 쉬운 구조로 되어 단선을 보다 방지할 수 있다. 구체적으로는 응력 완화층(5)의 평균 두께에 대하여 최대로 약 250마이크로미터, 바람직하게는 7 내지 12마이크로미터 정도의 높이를 갖는 팽창 부분이 형성되는 것이 바람직하다. 이 정도의 정점이면, 마스크 인쇄에 의해 충분히 형성 가능하다. 예를 들면 이 팽창부를 반경이 10마이크로미터의 반원형 형상으로 가정하면, 팽창부의 반호의 길이는 $(2 \times 3.14 \times 10 \text{ 마이크로미터}) / 2 = 31.4 \text{ 마이크로미터}$ 로 되

고, 배선의 중복 길이는 팽창부 1개에 관해서 $31.4-10=21.4$ 마이크로미터, 응력 완화층의 양측에 1개씩 형성한 경우에는 42.8 마이크로미터이다. 이와 같이 배선(4)에 중복부를 설치할 수 있기 때문에, 배선 구조 및 팽창 접합부에 작용하는 열 응력이 완화되고, 따라서, 신뢰성이 높은 배선 구조를 제공할 수 있다. 또, 이 팽창부의 소요 두께는 응력 완화층(5)의 막 두께 및 탄성률, 반도체 소자(13)의 사이즈, 반도체 소자의 소비 전력, 반도체 소자를 탑재하는 회로 기판(14)의 물성치 등을 감안한 실험 및 시뮬레이션으로부터 구한다. 예를 들면, 본 실시예에서는 반도체 소자(13)의 대각 길이를 1 밀리미터로 하고, 반도체 소자(13)와 그것을 탑재하는 회로 기판(14)의 선 팽창 계수의 차가 $15\text{ppm}/^{\circ}\text{C}$, 반도체 소자(13)의 기판 탑재 프로세스~동작 중의 ON/OFF에 의해서 생기는 최대 온도 범위가 섭씨 200 도로 하면, 기판 실장품이 실사용 환경에서의 사용으로 배선부가 받는 최대 열 변형량은 $15(\text{ppm}/^{\circ}\text{C}) \times L/2(\text{mm}) \times 200(^{\circ}\text{C}) = 0.0015 \times L$ 밀리미터로 된다. 따라서, 상기 팽창부에 요구되는 중복 길이는 $0.002 \times L$ 밀리미터 정도이면 충분하다고 생각하였다. 이 계산으로부터 팽창부를 반원통 형상으로 근사하며, 본 실시예에서는 그 팽창 부분의 높이는 응력 완화층(5)의 평균 두께에 대하여 $L/2000 \sim L/500$ 밀리미터 정도의 범위로 되도록 하였다.

필요하게 되는 응력 완화층(5)의 막 두께가 1회의 인쇄 및 가열 경화로 형성되지 않을 때에는 인쇄 및 재료의 경화를 복수회 반복함으로써 소정의 막 두께를 얻을 수 있다. 예를 들면, 고형분 농도 30% 내지 40% 의 페이스트를 이용하여 두께 65 마이크로미터의 메탈 마스크를 사용한 경우, 2회의 인쇄로 경화 후의 막 두께로서 약 50 마이크로미터를 얻을 수 있다. 또한 특히, 회로 기판(14)에 반도체 장치(13)를 접속했을 때에 왜곡이 집중하기 쉬운 개소에 배치되어 있는 범프(1)에 대해서는 해당하는 개소의 응력 완화층(5)에만 한정하고 두께를 후막화함으로써 왜곡의 집중을 완화할 수도 있다. 이를 위해서는 예를 들면 페이스트형 폴리이미드를 반도체가 형성된 웨이퍼(9) 상에 대하여, 1회째의 인쇄에서 사용한 것과 다른 메탈 마스크를 사용하여 복수회의 인쇄를 하면 좋다.

또한, 제2 방법으로서, 보호층(8)의 구조를 조정함으로써 응력 완화층의 두께를 부분적으로 변경할 수 있다. 예를 들면, 도 37에 도시한 바와 같이 변형이 집중하여 쉬운 범프 X의 바로 아래의 영역은 무기막으로 이루어지는 보호층만을 사용하고, 그 밖의 영역에서는 무기막 상에 유기막을 형성한 복합층을 보호막으로 한다. 이러한 보호막 상에 응력 완화층을 형성하면 유기막의 보호막이 있는 곳과 없는 곳의 응력 완화층의 부분 A에서 완만한 경사부가 형성된다.

지금, 응력 완화층의 막 두께가 50 마이크로미터이고 그 탄성률이 16Pa , 유기막의 보호 막 두께가 10 마이크로미터이고 그 탄성률이 36Pa 라고 하면, 유기 보호막과 응력 완화층으로 이루어지는 부분의 평균 탄성률($6\text{Pa}/\text{마이크로미터}$)은 $(3 \times 10 + 1 \times 50) / 60 = 1.3$ 으로 되고, 한편 부분 A에서 경사부의 평균 탄성률은 10 이다. 따라서 이와 같은 구조로 함으로써, 응력 완화층의 열 응력은 주변부로부터 유기 보호막이 형성된 부분으로 분산함으로써, 본래 열 응력이 집중하는 주변부에 있는 범프의 파손을 방지할 수 있다.

또, 반도체 응력 완화층 중에 미립자를 갖을 필요는 없고, 미립자를 페이스트 중에 분산시키지 않은 경우라도 인쇄에 필요한 최저한의 점탄성 특성이 확보되면 좋다. 다만, 미소립자를 페이스트 중에 분산시키지 않은 경우에는 인쇄에 관한 각종 조건의 마진이 극단적으로 줄어질 가능성이 있다.

계속해서 제4 단계를 설명한다. 본 실시예에서는 재배선용 배선(4)을 전기 구리 도금과 전기 니켈의 2층으로 하였다. 또, 재배선용 배선(4)의 일단을 범프 패드(3)와 결합하여도 좋다. 여기서는 구리, 니켈 모두 전기 도금을 이용하여 도체를 형성하는 방법을 나타내었지만, 무전해 도금을 이용하는 것도 가능하다.

우선, 전기 도금을 실시하기 위한 금전막(16)을 반도체 웨이퍼 전면에 형성한다. 여기서는 증착이나, 무전해 구리 도금, CVD 등도 이용하는 것이 가능하지만, 보호층(8) 및 응력 완화층(5)과의 접착 강도가 강한 스퍼터를 이용하는 것으로 하였다. 스퍼터의 전 처리로서, 본딩 패드(7)와 재배선용 배선(4) 도체 간의 도통을 확보하기 위해서 스퍼터 에칭을 행하였다. 본 실시예에서 스퍼터막으로서 크롬(75nm 노미터)/구리(0.5마이크로미터)의 다층막을 형성하였다. 여기서의 크롬의 기능은 그 상하에 위치하는 구리와 응력 완화층 등과의 접착을 확보하는 것에 있고, 그 막 두께는 이들의 접착을 유지하는 최저한이 바람직하다. 크롬 막 두께가 두꺼워지면 성막 시간이 증대하여 생산 효율이 저하한다고 하는 문제 외에, 보호층(8)이나 응력 완화층(5)을 장시간에 걸쳐 스퍼터 챔버 내에 발생하고 있는 고에너지 상태의 플라즈마에 노출함으로써, 이들 층을 형성하고 있는 재료가 변질한다고 하는 위험성이 있다. 또, 소요 막 두께는 스퍼터 에칭 및 스퍼터의 조건, 크롬의 막질 등에 의해서도 변동하지만, 대체로 최대 0.5 마이크로미터이다. 또, 본 실시예에서 사용한 크롬막 대신에 티탄막이나 티탄/백금막, 텅스텐 등이라도 대체할 수 있다. 한편, 스퍼터 구리의 막 두께는 후 단계에서 행하는 전기 구리 도금 및 전기 니켈 도금을 행하였을 때에, 도금 막의 막 두께 분포가 생기지 않은 최소한도의 막 두께가 바람직하고, 도금 전 처리로서 행하는 산세척 등에서의 막 감소도 고려한 후에 막 두께 분포를 유발하지 않은 막 두께를 결정한다. 스퍼터 구리의 막 두께를 필요 이상으로 두껍게 한 경우, 예를 들면 1마이크로미터 를 초과한 구리 두께의 경우에는 스퍼터 시간이 길어져 생산 효율이 저하한다고 하는 문제 외에, 후 단계에서 실시하는 금전막(16)의 에칭 제거 때에 장시간 에칭을 피할 수 없고, 그 결과로서 재배선용 배선(4)의 사이트에칭이 커진다. 단순한 계산에서는 10마이크로미터 의 금전막을 에칭하는 경우에는 배선도 폭측 1마이크로미터 , 양측에서 2마이크로미터 의 에칭이 발생한다. 실제의 생산에서는 금전막의 에칭 여분이 발생하지 않도록 오버 에칭하는 것이 일반적으로 행해지고 있기 때문에, 1마이크로미터 의 금전막을 에칭하는 경우에는 배선이 5마이크로미터 정도 사이드 에칭되게 된다. 사이트 에칭이 이와 같이 커지면, 배선 저항이 커지거나 단선을 유발하기 쉬워지고, 배선 성능의 관점에서 문제를 발생하기 쉽다. 따라서, 스퍼터 구리의 막 두께는 대체로 최대 1마이크로미터 로 된다.

다음에, 포토리소그래피 기술을 이용하여, 재배선용 배선(4)의 역 패턴 형상(17)을 레지스트를 이용하여 형성한다. 도 4 중의 B로 도시한 응력 완화층(5)의 엠티부에서 레지스트의 막 두께는 사면으로부터 흘러나온 레지스트에 의해 다른 장소와 비교하여 두꺼워진다. 이 때문에, 해상도를 확보하기 위해서는 네가티브형 쪽이 바람직하다. 레지스트로서, 액형 레지스트를 이용한 경우도 4 중의 B로 도시한 응력 완화층(5)의 엠티부의 사면 상부에서는 레지스트 막 두께가 얇아지기 쉽고, 사면 하부에서는 반대로 레지스트 막 두께가 두꺼워지기 쉬운 경향이 있다. 사면 상부와 사면 하부에서 막 두께가 다른 레지스트를 동일 노광량, 동일 현상 조건으로 패턴닝하기 위해서는 넓은 현상 여유도가 필요하게 된다. 일반적으로, 막

두께에 대한 현상 여유도는 포지티브형 감광 특성 레지스트보다 네가티브형 감광 특성 레지스트가 넓기 때문에, 본 실시예에서는 네가티브형의 액형 레지스트를 이용하였다. 또, 필름 레지스트를 사용하는 경우에는 사면 상하에서의 막 열차는 발생하지 않기 때문에 네가티브형이라도 포지티브형이라도 사용 가능해지지만, 사면부는 경사로부터 노광하게 되어 실질적으로 광로 길이가 길어지기 때문에, 이 경우에도 네가티브형을 이용하면 좋은 성능이 얻어지는 것이 많다. 응력 완화층(5)의 엣지부의 경사가 큰 경우나 브리칭 특성이 약한 필름 레지스트를 이용하는 경우에는 네가티브형이 특히 바람직하다.

본 실시예에서는 도 10에 도시한 바와 같이 노광 마스크(21)와 레지스트(22)가 밀착하고, 일부에 간극(20)을 갖는 타입의 노광기를 이용하였다. 상기 노광기에서의 해상 한계는 노광용 마스크(21)와 레지스트(22)가 밀착한 경우에 약 마이크로미터이었다. 우리들의 실험 결과에 의하면, 노광 마스크(21) 하부의 간극(20)과 해상하는 배선 폭의 관계는 표 1에 도시한 바와 같이 되었다. 또, 표 1 중의 값은 노광기의 광학계나 현상 조건, 레지스트의 감도, 레지스트 경화 조건, 배선 폭/배선 간격의 비 등에 의해 변화한다.

표 1에 나타내고 있는 실험 결과는 배선 폭/배선 간격의 비가 1.0인 경우의 값이다.

[표 1]

		노광 마스크 하부의 간극(μm)			
		40	60	80	100
배선폭(μm)	15	×	×	×	×
	20	○	×	×	×
	25	○	○	○	×
	30	○	○	○	○
	40	○	○	○	○
	50	○	○	○	○

○ : 해상 가능

× : 해상 불가

도 11에 알루미늄 패드와의 접속부(23)와 범프 패드(3)가 재배선을 배선(4)으로 접속되어 있는 모습을 나타낸다. 본 실시예에서 사용한 노광 장치의 경우에는 표 1의 필름인 노광 마스크의 하부의 간극은 응력 완화층의 두께에 거의 대응하고 있기 때문에, 예를 들면 응력 완화층의 두께가 60마이크로미터이면 배선의 폭은 25마이크로미터까지 해상 가능하다. 따라서, 신호선의 배선 폭을 25마이크로미터로 하고, 전원 또는 접지선의 배선 폭을 40마이크로미터로서 배선을 할 수도 있다. 또한, 신호선의 배선을 25마이크로미터하고, 그 신호선의 일부를 굵게 하는 것도 가능하다.

도 12에 응력 완화층(5)의 경사부 부근에서 재배선을 배선(4)을 확대하여 나타낸다. 상술한 바와 같이 응력 완화층(5)의 엣지부 근방에서 레지스트 막 두께가 불균일하게 되어 있기 때문에, 그 영역에서 현상 부족이 발생하기 쉬운 경향이 있었다. 도 13에 실제로 응력 완화층(5)의 엣지 부분에서 현상 부족이 발생하고 있는 모습을 나타낸다. 본 실시예에서는 이 대책을 위해 현상액의 공급을 개선함으로써 해결하였다. 보다 구체적으로 예시하면, 배선 패턴 형상을 도 14나 도 15에 도시한 바와 같이 변경하는 등의 대책이다.

도 14는 알루미늄 패드와의 접속부(23)로부터 응력 완화층(5)의 정상 부근까지 배선 폭을 굵게 한 경우를 도 15는 해상성이 나쁜 응력 완화층(5)의 엣지 부분만의 배선 폭을 굵게 한 경우를 나타내고 있다. 또, 이들 도 14 및 도 15에서 배선 폭은 응력 완화층(5)의 두께와 표 1에 도시한 해상 특성을 고려하여 결정한다. 다른 해결책으로서 현상 시간을 연장함으로써 현상 여유를 해소하는 방법도 생각된다. 또한, 마스크면에서 광이 회절하기 때문에, 노광 마스크(21)의 아래에 간극(20)이 존재하는 것에 기인하여 해상성 저하나 패턴 정밀도 저하가 발생하는 경우가 있다.

이 현상의 해결책으로서, (1) 노광기의 광학계 변경, (2) 레지스트의 브리칭 성 개량, (3) 레지스트의 프리베이킹(prebaking) 조건 적정화, (4) 다단 노광 등을 들 수 있다. 노광기의 광학계의 변경에 관해서 구체예를 1개 들면, NA치가 0.0001 이상 0.2 이하의 노광기를 사용한다고 하는 대책을 들 수 있다. 여기서 든 예에 한하지 않고, 공지 관용의 프로세스 상의 연구를 적절하게 조합함으로써, 패턴의 해상성, 정밀도를 향상할 수 있다.

응력 완화층(5)의 엣지부는 웨이퍼와 응력 완화층(5)의 물성치의 차이에 의해 생기는 응력이 집중하기 쉬운 구조상의 특징이 있기 때문에, 응력 완화층(5)의 경사부에서 배선을 굵게 함으로써 단선을 효과적으로 방지할 수도 있다. 또, 반드시 모든 배선을 동일 굵기로 할 필요는 없고, 예를 들면 도 16에 도시한 바와 같이 전원/접지선과 신호선에서 배선의 폭을 바꾸도록 하여도 좋다. 이 경우, 전기적인 특성을 고려하면 일반적으로 전원/접지선을 신호선보다 굵게 하는 것이 바람직하다. 신호선을 굵게 한 경우, 이에 따라 배선이 갖는 용량 성분이 증가하고, 고속 동작시에 영향을 미치게 하기 때문이다. 반대로 전원/접지선을 굵게 하면 전원 전압이 안정된다고 하는 효과를 기대할 수 있기 때문에 오히려 바람직하다. 따라서, 도시하는 바와 같이 신호용 배선에 관해서는 응력이 집중하는 부분만을 최저한 완화할 수 있도록 엣지 주변을 굵게 한 패턴으로 하고, 전원용 또는 접지용 배선에 관해서는 경사부를 한결같이 굵게 하는 것이 바람직하다. 한편, 응력 완화층이 형성되어 있지 않은 평탄부에 관해서는 배선의 용량 성분의 영향을 고려하여 신호 배선을 가늘게 하고 있다. 단, 이것은 반도체 소자의 종류나 그 배선 패턴에 의해 그 때마다 고려할 필요가 있다. 예를 들면, 반도체 소자나 그 배선 패턴에도 의존하지만, 보호막(8)의 두께를

증대하면 배선의 용량 저감에 큰 효과가 있기 때문에, 응력 완화층이 형성되어 있지 않은 평탄부에서 신호 배선을 굵게 해야만 하는 경우에는 보호막(8)을 두껍게 형성하는 것이 바람직하다. 구체적으로는 배선 폭을 10% 증대시키는 경우에는 보호막(8)의 막 두께도 약 10% 정도 증대시키는 것이 바람직하다. 한편, 응력 완화층의 상부 평탄부에서의 배선 폭은 신호선 용량보다 오히려 배선 밀도에 의해서 제한을 받는다. 즉, 범프 패드의 간격에 통과시키는 배선 갯수, 범프 패드의 직경, 배선 형성 단계에서 위치 정렬 정밀도 등으로부터 응력 완화층의 상부 평탄부에서의 배선 폭의 상한치가 구해진다. 구체적으로 일례를 나타내면 범프 패드 간격이 0.5밀리미터이고, 패드 직경 300마이크로미터, 패드 간에 3개 배선을 통과시키는 경우에는 $(500-300)/(3 \times 2-1)=400$ 이라는 계산이 된다. 이 계산 결과로부터, 본 실시예에서는 평균 배선 폭/배선 간격=400마이크로미터로 하였다.

제5 단계에 관해서 설명한다. 본 실시예에서는 황산 산성 구리 도금액을 이용하여 구리 도금을 실시하였다. 전기 구리 도금은 계면 활성제에 의한 세정, 수세, 희류산에 의한 세정, 수세를 행한 후, 급전막(16)을 음극에 접속하고, 인을 함유하는 구리판을 양극에 접속하여 실시하였다.

계속해서, 전기 니켈 도금을 행한다. 또, 전기 니켈 도금 전에 계면 활성제에 의한 세정, 수세, 희류산에 의한 세정, 수세를 행하면 양호한 막질의 전기 니켈 도금 막이 얻어지기 쉬운 경향이 있다. 전기 니켈 도금은 급전막(16)을 음극에 접속하고, 니켈판을 양극에 접속하여 행하였다. 본 실시예에서 적합한 전기 니켈 도금은 공지된 용인 어느 쪽의 니켈 도금액이라도 사용 가능하고, 와트 욕제라도 설파민 욕제라도 좋지만, 본 실시예에서는 와트 욕제를 이용하고, 도금액 내부 응력이 적정 범위가 되도록 조정된 도금 조건 하에서 행하였다. 설파민 욕은 도금액 성분이 와트 욕과 비교하면 고가인데다 약간 분해하기 쉬운 경향이 있다 하는 결점은 있지만 피막 응력이 제어하기 쉽다. 한편, 와트 욕은 일반적으로 피막 응력이 커지기 쉽기 때문에, 후막 도금한 경우에는 자신이 갖는 피막 응력(인장 응력) 때문에 배선층에 크랙이 들어가는 위험성이 증대한다고 하는 결점이 있다. 본 실시예에서는 와트 욕을 이용하였지만, 설파민 욕을 이용하는 경우에도 와트 욕을 이용하는 경우에도, 첨가제(피막 응력 억제제)의 종류 및 농도, 도금 전류 밀도, 도금액 온도의 적정 범위를 구하기 위한 모델 실험을 미리 실시하고 나서 행하면 좋다. 본 실시예에서는 이들을 적절하게 제어하여 막 두께 10마이크로미터 이하에서는 배선에 크랙이 들어가지 않는 조건을 미리 구하고 나서 실시하였다.

또, 도금액 응력은 석출한 니켈의 금속 결정 배향성에 관한 지표의 하나이고, 후술하는 땀납 확산층의 성장을 억제하기 위해서 적절하게 제어할 필요가 있다. 막 응력이 적절하게 제어된 조건 하에서 도금하면, 도금 피막은 특정양의 미량 성분을 공통 분석하도록 된다. 예를 들면, 유황 0.001~0.05%를 함유하는 막의 경우 특정한 결정 배향면의 함유율이 높아진다. 보다 구체적으로 말하면, 배향면(111, 220, 200, 311)의 함유율 합계가 50% 이상으로 된다.

전기 니켈 도금 막 두께는 그 후의 단계에서 이용하는 땀납의 종류나 리플로우 조건, 및 반도체 장치의 제품 특성(실장 형태)에 의해 최적치를 결정한다. 구체적으로는 땀납 리플로우나 실장 수리 때에 형성되는 땀납과 니켈과의 합금층의 막 두께가 니켈 도금 막 두께 이상으로 되도록 결정하면 좋다. 상기 합금층의 막 두께는 땀납 중의 주석의 농도가 높을수록 크고, 리플로우 상한 온도가 높을수록 커진다.

이와 같이 재배선을 배선으로서 구리 배선 상에 니켈층을 형성하면, 반도체 장치와 회로 기판 간에 기능하는 열 응력에 의해 재배선을 배선이 변형을 받고, 그 후 그 응력이 해방될 때에 재배선을 배선은 니켈층의 탄력성에 의해 변형 전의 형상으로 되돌아갈 수 있다.

예를 들면, 반도체 장치의 동작에 의해 야기되는 열 응력의 작용에 의해, 응력 완화층 및 그 상에 형성되어 있는 재배선을 배선(4)이 상호 밀착한 형으로 변형한다. 이 때의 재배선을 배선의 변형에는 응력 완화층의 팽창 부분에 있는 재배선을 배선의 중폭 부분의 굴곡 부분이 이용된다. 그 후, 열 응력 등으로부터 해방되어 응력 완화층이 원래의 형상으로 되돌아가는 때에, 재배선을 배선이 구리 배선만의 경우에는 구리 배선은 구리 배선 자신의 탄력성으로는 원래의 배선 형상으로 되돌아가기 어렵다. 한편, 구리 배선 상에 니켈층을 형성하면 그 니켈층의 탄력성에 의해 재배선을 배선(구리 배선)은 원래의 형상으로 되돌아갈 수 있다. 또, 구리 배선 상에 형성되는 것은 니켈층에 한하지 않고, 구리 배선 상에서 니켈층과 같은 정도의 탄력성을 갖는 것이어도 좋다. 또한, 구리 배선 대신에 신축성이 있는 배선을 형성하는 경우에는 니켈층은 반드시 필요한 것은 아니다.

제6 단계에서는 전기 구리 도금 및 전기 니켈 도금을 행한 후에 배선의 역 패턴인 레지스트(17)를 제거하고, 에칭 처리를 함으로써 미리 성막한 급전막(16)을 제거한다.

구리의 에칭에는 염화철, 알칼리계 에칭액 등의 종류가 있지만, 본 실시예에서는 황산/과산화수소수를 주 성분으로 하는 에칭액을 이용하였다. 10초 이상의 에칭 시간이 없으면 제어가 곤란해져 실용적 관점에서는 불리하지만, 너무나 긴 시간 에칭을 행하면, 예를 들면 5분을 초과하여 에칭하는 경우에는 사이드 에칭이 커지거나 액트가 길어진다고 하는 문제도 생기기 때문에, 에칭액 및 에칭 조건은 적절하게 실험에 의해 구하는 것이 좋다. 계속해서 실시하는 급전막(16)의 크롬 부분의 에칭에는 본 실시예에서는 과망간산 칼륨과 메타규산염을 주 성분으로 하는 에칭액을 이용하였다. 또, 상기 전기 니켈 도금막은 급전막(16)의 에칭 때의 에칭 레지스트로서도 가능하고 있다. 따라서, 니켈과 구리, 니켈과 크롬의 에칭 선택비를 감안하여 에칭액의 조성 성분, 에칭 조건을 결정하면 좋다. 예를 들면, 구체적으로 구리의 에칭 때에 사용하는 황산과산화수소 에칭제에서는 황산의 함유량은 최대로 50% 이하, 바람직하게는 15% 이하로 한다. 이에 따라 니켈에 대해서 10배 정도의 에칭 선택비로 에칭할 수 있다.

제7 단계에서는 범프 패드(3) 및 절단부(24) 및 그 주위만이 개구된 표면 보호막(6)을 형성하고, 계속해서 무전해금 도금을 실시함으로써 범프 패드부(3)에 금을 성막하였다. 여기서는 표면 보호막(6)으로서 땀납 레지스트를 사용하고, 이것을 반도체 장치(13)의 전면에 도포한 후에 노광, 현상함으로써 패턴을 형성한다. 또, 땀납 레지스트 그 외에도 감광성 폴리이미드나 인쇄용 폴리이미드 등의 재료를 이용하여 표면 보호막(6)을 형성하는 것도 가능하다.

이상과 같은 단계를 거침으로써, 표면 보호막(6)은 재배선을 배선(4), 응력 완화층(5), 보호막(8) 등을 완전히 피복하게 된다. 이 때문에, 표면 보호막(6)은 재 배선을 배선(4), 응력 완화층(5), 보호막(8)이

자극성 물질에 의해 변질, 박리, 부식하는 것을 억제할 수 있다.

이 제7 단계까지로, 알루미늄 패드(7)로부터 범프 패드(3)까지의 재배선용 배선(4) 및 범프 패드(3)가 반도체가 형성된 웨이퍼(9) 상에 도 17 및 도 20에 도시한 바와 같이 형성된다.

제8 단계에서는 땀납 볼 탑재 장치와 리플로우로 사용하여 범프를 형성한다. 즉, 땀납 볼 탑재 장치를 이용함으로써, 범프 패드(3) 상에 소정량의 플럭스와 땀납 볼을 탑재한다. 이 때, 땀납 볼은 플럭스의 점착력에 의해 범프 패드 상에 고정된다. 땀납 볼이 탑재된 반도체 웨이퍼를 리플로우로 투입함으로써 땀납 볼은 일단 용융하고, 그 후 다시 고체화함으로써 도 1에 도시한 범프 패드(3)에 접속한 범프(1)로 된다. 이 외에도 인쇄기를 이용하여 땀납 페이스트를 범프 패드(3) 상에 인쇄 도포하고, 이것을 리플로우함으로써 범프(1)를 형성하는 방법도 있다. 어떠한 방법에 있어서도 땀납 재료는 여러 가지 것을 선택하는 것이 가능하고, 현지점에 있어서 시장에 공급되어 있는 땀납 재료의 대부분을 사용할 수 있다. 이 외, 땀납 재료는 한정되는 것이지만, 도금 기술을 이용함으로써 범프(1)를 형성하는 방법도 있다. 또한, 금이나 구리를 핵으로 한 볼을 사용한 범프나 도전 재료를 배합한 수지를 사용하여 형성한 범프를 사용하여도 좋다.

제1 단계로부터 제9 단계까지의 단계를 거침으로써, 도 1에 도시한 응력 완화층(5)을 갖고, 또한 적은 단계수로 재배선용 배선(4)이 형성되고, 더구나 재 배선용 배선(4)의 도중에는 응력이 집중하는 굴곡부가 존재하지 않은 반도체 장치(13)를 실현할 수 있다. 또한, 인쇄 기술을 이용함으로써, 노광이나 현상 기술을 이용하지 않고 후막의 절연층인 응력 완화층(5)을 패턴 형성할 수 있고, 그 응력 완화층(5)은 재배선용 배선(4)을 형성하기 위한 사면을 갖을 수 있다.

본 실시예에 따르면, 언더필을 실시하지 않고 반도체 장치(13)를 플립 칩 접속한 경우라도 반도체 장치(13)의 접속 신뢰성이 대폭 향상한다.

이 때문에 본 실시예에 따르면 많은 전기 제품에 있어서 언더필을 사용하지 않은 플립 칩 접속이 가능해지고, 각종 전기 제품의 가격을 저감할 수 있다는 것을 알 수 있다.

또한, 언더필을 실시하지 않기 때문에, 반도체 장치(13)의 제거가 가능해진다. 즉, 회로 기판에 접속한 반도체 장치(13)가 불량품인 경우, 반도체 장치(13)를 회로 기판 상으로부터 제거하여 회로 기판을 재생하는 것이 가능해지고, 이것에 의해서도 각종 전기 제품의 가격을 저감하는 것이 가능해진다.

다음에, 본 실시예에 따른 응력 완화층(5)의 재료에 관해서 설명한다. 본 실시예에서 가장 적합하게 사용되는 응력 완화층(5) 형성용의 재료는 페이스트형의 폴리이미드이지만 이것에 한하지 않고 변성 아미드 이미드 수지, 에스테르이미드 수지, 에테르이미드 수지, 폴리에스테르 수지, 변성 실리콘 수지, 변성 아크릴 수지 등이어도 상관없다.

상기 열거한 수지 중, 이미드 결합을 갖는 수지, 예를 들면 폴리이미드, 아미드이미드, 에스테르이미드, 에테르이미드 등에서는 이미드 결합에 의한 강고한 골격 덕분에 열 기계적 특성, 예를 들면 고온에서의 강도 등에 우수하고, 그 결과로서, 배선을 위한 도금 급전막 형성 방법의 선택수가 넓어진다. 예를 들면, 스퍼터 등의 고온 처리를 동반한 도금 급전막 형성 방법을 선택할 수 있다. 실리콘 수지나 아크릴 수지, 폴리에스테르 수지, 아미드이미드, 에스테르이미드, 에테르이미드 수지 등 이미드 결합 이외의 결합으로 축합한 부분이 있는 수지의 경우, 열 기계 특성은 약간 뒤떨어지지만 가공성이나 수지 가격 등의 점에서 이점인 경우가 있다. 예를 들면, 폴리에스테르이미드 수지에서는 일반적으로 폴리이미드보다 경화 온도가 낮기 때문에, 취급하기 쉽다. 본 실시예에서는 이들 수지 중으로부터 소자 특성, 가격, 열 기계 특성 등을 종합적으로 감안하여 이들의 수지를 적절하게 구별하여 사용한다.

응력 완화층(5) 형성용의 재료는 예를 들면 에폭시, 페놀, 폴리이미드, 실리콘 등의 수지를 단독 혹은 2종류 이상 배합하고, 이것에 각종 계면과의 접착성을 개선하기 위한 커플링제나 착색제 등을 배합하여 이용하는 것이 가능하다.

응력 완화층(5)의 탄성율은 실온에 있어서 0.1로부터 10.0GPa 정도의 것이 적용 가능하지만, 일반의 폴리이미드보다는 탄성율이 낮은 것이 바람직하다. 탄성율이 0.1GPa를 하회하여 지나치게 작은 경우에는 후술하는 풀기 전극의 형성이나 상기 반도체 장치의 기능 시험을 행할 때 배선 부분이 변형하기 쉬워지고 단선 등의 문제가 걱정된다. 또한, 응력 완화층(5)의 탄성율이 10.0GPa를 초과하여 커지면 충분한 응력의 저감 효과가 얻어지지 않고, 상기 반도체 장치를 기판에 탑재한 경우의 접속 신뢰성이 저하하는 것이 걱정된다.

또한, 응력 완화층(5)용 재료의 경화 온도는 100℃로부터 250℃까지의 것을 이용하는 것이 바람직하다. 경화 온도가 이보다 낮은 경우, 반도체 제조시의 단계 내에서의 관리가 어렵고, 경화 온도가 이보다 높아지면 경화 냉각시의 열 수축으로 웨이퍼 응력이 증대하거나, 반도체 소자의 특성이 변화될 염려가 있기 때문이다.

경화 후의 응력 완화층은 스퍼터, 도금, 에칭 등의 여러 가지의 단계에 노출되기 때문에, 내열성, 내약품성, 내용제성 등의 특성도 요구된다. 구체적으로는 내열성으로서 그 유리 전이 온도(Tg)가 150℃ 이상 400℃ 이하인 것이 바람직하고, 보다 바람직하게는 Tg가 180℃ 이상, 가장 바람직하게는 Tg가 200℃ 이상이다. 도 41은 유리 전이 온도(Tg)와 선 팽창 계수의 관계를 나타내는 실험 결과이다. 이보다, 유리 전이 온도(Tg)가 200℃ 이상이면, 크랙이 발생하고 있지 않다는 것을 알 수 있다. 또, 단계 중에서의 여러 가지 온도 처리에서 변형률을 억제하는 관점으로부터, Tg 이하의 영역에서의 선 팽창 계수(α)는 작을수록 바람직하다. 구체적으로는 3ppm에 가까울수록 좋다. 일반적으로 저탄성 재료는 선 팽창 계수가 큰 경우가 많지만, 본 실시예에서 적합한 응력 완화층(5) 재료의 선 팽창 계수의 범위는 3ppm~300ppm의 범위인 것이 바람직하다. 보다 바람직하게는 3ppm~200ppm의 범위이고, 가장 바람직한 선 팽창 계수는 3ppm~150ppm의 범위이다.

한편, 열 분해 온도(Td)는 약 300℃ 이상인 것이 바람직하다. Tg나 Td가 이들의 값을 하회하고 있으면, 프로세스 중에서의 열 단계, 예를 들면 스퍼터나 스퍼터 엣지 단계에서 수지의 변형, 변질이나 분해가 발생하는 위험성이 있다. 내약품성의 관점으로부터 말하면, 30% 황산 수용액이나 10% 수산화나트륨 수용액

예의 24시간 이상의 침지로 변색, 변형 등의 수치 변질이 발생하지 않은 것이 바람직하다. 내용제성으로서는 용해도 파라미터(SP치)가 $8 \sim 20(\text{cal/cm}^3)^{1/2}$ 로 되는 것이 바람직하다. 용력 완화층(5)용의 베이스 레진(resin)에 몇 개의 성분을 변성하여 이루어지는 재료인 경우에는 그 조성의 대부분이 상기 용해도 파라미터의 범위에 들어 있는 것이 바람직하다. 보다 구체적으로 말하면, 용해도 파라미터(SP치)가 8 미만 혹은 20 이상인 성분이 90% 중량을 초과하여 함유되어 있지 않은 것이 바람직하다.

이들의 내약품성이나 내용제성이 불충분하면 적용 가능한 제조 프로세스가 한정되는 경우가 있고, 제조 원가 저감의 관점에서 바람직하지 못한 경우도 있다. 현실적으로는 이들의 특성을 만족시키는 재료 비용과 프로세스 자유도를 종합적으로 감안한 후에, 용력 완화층(5)용의 재료를 결정하는 것이 좋다.

계속해서, 용력 완화층의 막 두께와 웨이퍼 용력 및 α 선의 관계에 관해서 설명한다. 도 18은 용력 완화층의 막 두께와 웨이퍼 용력의 관계를 나타낸 것이다. 도 18에 도시한 바와 같이 용력 완화층은 적경 8 인치 웨이퍼로 도포하여 경화시킨 경우, 150마이크로미터보다 막 두께가 두꺼워지면 웨이퍼 용력이 커지고, 웨이퍼의 휘어짐이 커지거나, 웨이퍼의 크랙, 절연막의 박리 등이 발생하기 쉬워진다.

한편, 도 19에는 용력 완화층의 두께와 용력 완화층 중을 투과하는 α 선량과의 관계를 나타내었다. α 선은 반도체 장치에 이용되는 땀납 중에 불순물로서 포함되어 있는 우라늄이나 토륨 등의 붕괴에 의해서 발생하고, 트랜지스터부의 오동작을 야기한다. 도 19에 도시한 바와 같이 용력 완화층의 두께가 35마이크로미터보다 두꺼워지면 α 선은 거의 투과하지 않고, α 선에 의한 오동작의 문제는 생기지 않는다. 반대로 35마이크로미터보다 용력 완화층의 두께가 얇아지면 α 선이 투과하기 때문에, α 선에 의한 오동작이 발생하기 쉬워지는 것을 알 수 있다.

이들의 관계로부터, 용력 완화층의 두께를 35마이크로미터 이상 150마이크로미터 이하로 함으로써, 반도체 소자 표면에 형성한 회로부분까지 α 선이 도달하는 것을 방지하고, 또한 반도체 장치와 이것을 탑재한 기판과의 접속 신뢰성을 확보할 수 있다.

또, 반도체 장치의 구성에 의해서는 동일 소자 내에 α 선의 영향을 받기 쉬운 부분, 예를 들면 트랜지스터의 오작동을 받기 쉬운 메모리셀(110) 등과, α 선의 영향을 받기 어려운 부분이 있다. 그래서, α 선에 대하여 특히 영향을 받기 쉬운 부분에 대하여, 도 20, 도 21에 도시한 바와 같이 용력 완화층의 두께를 35마이크로미터 이상 150마이크로미터 이하로 함으로써, 반도체 소자 표면에 형성한 회로부분까지 α 선이 도달하는 것을 방지할 수 있다.

또, α 선의 영향을 받기 어려운 영역에 형성하는 용력 완화층의 두께는 35마이크로미터를 하회하도록 하여도 α 선 차폐의 관점에서는 문제가 없다. 따라서, 예를 들면, 도 21에 도시한 바와 같이 α 선 차폐가 필요한 영역의 용력 완화층을 두껍게 형성하고, 그 밖의 영역에서는 용력 완화층을 얇게 형성하고, 용력 완화층 전체의 평균 두께를 35마이크로미터 이상 150마이크로미터 이하로 할 수도 있다. 이러한 연구를 실시하는 경우에는 각 범프에 관한 열 용력 변형의 크기를 감안한 반도체 장치의 구성으로 하는 것이 바람직하다. 일반적으로 반도체 장치(13)의 외주로 갈수록 열 용력 변형을 받기 쉽고 조금 두꺼운 용력 완화층이 필요하기 때문에, α 선에 대하여 영향을 받기 쉬운 트랜지스터 영역을 반도체 장치(13)의 외주에 배치하고, α 선에 대하여 영향을 받기 어려운 영역을 반도체 장치(13)의 중앙 부근에 배치하면 좋다. 예를 들면, 도 38에 도시한 바와 같이 용력 완화층(5)의 두께를 반도체 장치(13)의 중앙 부근은 얇게, 외주부로 갈수록 점차로 두껍게 하는 것도 가능하다. 이 경우, 중앙 부근의 범프는 다른 범프와 비교하여 접착 높이가 커짐과 함께 접속각이 작아지기 때문에, 범프 그 자체의 용력 완화 기능이 증대하여 얇아진 용력 완화층(5)의 용력 완화 기능을 대체하고 있다. 또, α 선의 영향을 전혀 받지 않는 영역을 갖는 반도체 장치(13)의 경우에는 도 39에 도시한 바와 같이 α 선의 영향을 받지 않는 영역을 반도체 장치(13)의 중앙 부근에 배치하면, 반도체 장치(13)의 중앙 부근에는 용력 완화층(5)을 형성하지 않더라도 상관없다.

다음에 다른 실시예로서, 용력 완화층과 조성이 다른 미립자를 포함하는 용력 완화층의 실시예에 관해서 설명한다.

상술한 용력 완화층(5)에 포함되는 미립자는 용력 완화층(5)과 동일 재료이고, 동일 물성을 갖고 있다. 용력 완화층 중에서 미립자가 분산함으로써 인쇄에 필요한 점탄성 특성을 갖을 수 있다.

그러나, 이 구조에서는 웨이퍼와 용력 완화층(5)과의 경계에서 불성치가 급격하게 변화하기 때문에 열 용력 등이 그 경계 부분에 집중하여 배선이 단선하는 등의 가능성이 있다.

그래서, 본 실시예에서는 웨이퍼의 회로 형성면 상에 형성된 용력 완화층(5)의 특성을 두께 방향으로 다르게 하고, 웨이퍼 표면측의 용력 완화층의 특성이 웨이퍼의 특성에 가까워지도록 하였다.

이에 따라, 웨이퍼 상면과 용력 완화층 하면의 경계부에서 특성 차를 적게 하고, 이들 상에 설치한 배선에 불연속인 힘이나, 용력 완화층의 팽창 수축에 의한 인장이나 압축, 굴곡의 용력이 배선부에 가해지지 않도록 함으로써, 배선부의 단선 방지가 가능해진다.

또한, 웨이퍼측의 용력 완화층(5)의 특성은 웨이퍼에 가깝게, 상기 반도체 장치를 탑재하는 기판측은 그 기판의 특성에 가깝게 함으로써, 용력 완화층(5) 상의 배선뿐만 아니라 상기 반도체 장치와 상기 기판의 접속부의 접속 수명 향상에도 유효하다.

여기서, 용력 완화층(5)의 두께 방향으로 점차 변화하는 특성으로서, 열 팽창 계수 혹은 탄성률 등이 생각된다. 그리고, 용력 완화층의 특성을 변화시키는 구체적인 수단으로서, 도 22에 도시한 바와 같이 절연성의 입자의 실리카 입자(102)를 배합하고, 용력 완화층(5)의 두께 방향으로 실리카 입자(102)의 배합량의 분포를 갖게 하여 열 팽창 계수나 탄성률을 서서히 변화시킨다. 실리카 입자(102)가 많이 분포하고 있는 부분에서는 용력 완화층(5)의 열 팽창 계수가 작고 탄성률은 높아진다. 한편, 실리카 입자(102)의 배합량이 적어지면 열 팽창 계수는 커지고 탄성률은 낮아진다.

본 실시예에서 반도체 장치의 제조 단계도, 웨이퍼 상의 회로 형성, 용력 완화층 형성, 실리카 입자의 분포, 용력 완화층 상의 배선 형성 등을 웨이퍼 상태에서 행함으로써, 전체 단계의 간략화, 제조시의 변동 등이 적고 배선부의 수명 향상이 가능하다.

본 실시예에서는 음력 완화층(5)에 탄성층이나 열 팽창을 조정하기 위한 절연 입자인 실리카, 알루미늄, 질화 붕소 등의 무기 재료로 이루어지는 입자를 한종류 혹은 두종류 이상 배합하고, 또한 필요에 따라서 폴리이미드나 실리콘 등의 유기 재료로 이루어지는 입자를 적절하게 배합하여도 좋다.

또한, 실리카 입자나 절연 수지층을 구성하는 각종 계면과의 접착성 향상을 위해 알콕시 실란이나 치터네이트 등으로 이루어지는 커플링제, 수지의 파단 선장이나 파단 강도를 향상시키는 열 가소성 수지 등의 개질제, 웨이퍼 상에 형성된 회로부의 자외선 등에 의한 오동작을 방지하기 위해서 절연 수지층을 착색하기 위한 염료나 안료, 수지층의 경화 반응을 촉진시키기 위한 경화 촉진제 등을 배합하는 것도 가능하다.

두께 방향으로 특성을 변화시킨 음력 완화층(5)의 형성 방법으로서 예를 들면 상기 기재의 재료를 배합하여 이루어지는 액형의 음력 완화층(5)을 웨이퍼의 회로면 상에 도포하고, 이 음력 완화층(5)을 가열 경화하는 과정에서 배합한 실리카 등으로 이루어지는 절연 입자를 웨이퍼측에 점차 침강시키는 방법이 있다. 실리카 입자의 입자 직경에 분포가 있는 경우, 입자 직경이 큰 입자일수록 침강이 빠르고, 입자 직경이 작은 입자일수록 침강하기 어렵고, 웨이퍼를 아래로 하여 음력 완화층의 가열 경화를 행하면, 음력 완화층의 두께 방향으로 특성의 분포가 형성된다.

음력 완화층(5)에 배합된 실리카 입자의 막 두께 방향으로의 농도 분포를 제어하는 방법으로서 절연 수지의 경화 온도, 경화 온도 프로파일을 적절하게 조정하거나, 경화의 진행을 빠르게 하기 위한 경화 촉진제의 배합량이나 종류, 혹은 경화를 늦추기 위한 반응 억제제 등을 적절하게 배합하는 방법이나 실리카 입자 등 절연 입자의 입자 직경 분포를 변경하는 방법이 있다.

본 실시예에 적용 가능한 실리카 입자는 용융하여 잉곳화한 실리카의 덩어리를 파쇄한 것이나, 실리카 입자를 파쇄 후, 재차 실리카 입자를 가열 용융하여 구형화한 것, 또한 합성한 실리카 입자 등이 적용 가능하다. 실리카 입자의 입자 직경 분포나 배합량은 본 실시예의 구조를 적용하는 반도체 장치의 크기, 두께, 집적도, 음력 완화층(5)의 두께, 입자의 입자 지름이나 탑재하는 기판의 종류에 의해서 여러 가지 변경 가능하다.

인쇄법에 의해 음력 완화층(5)을 형성하는 경우, 인쇄의 방법에 의해서는 적용하는 마스크의 치수에 의해서도 입자 직경의 분포를 변경할 필요가 생기는 경우도 있다.

또, 음력 완화층(5)은 일회 인쇄로 형성될 필요는 없고, 도 23에 도시한 바와 같이 적어도 2회 이상의 인쇄로 형성하여도 좋다. 또한, 각각의 층에 포함되는 실리카 입자의 배합량을 다르게 하여 인쇄하여도 좋다.

본 실시예에서는 웨이퍼의 회로부로부터 음력 완화층 상에 설치한 전극에 이르는 단계에서 배선이 형성되는 부분의 물성이 급격하게 변화하지 않기 때문에, 배선의 일부에 큰 힘이 집중하는 것이 없고, 배선의 단선 방지가 가능해진다.

다음에, 반도체 장치(13)의 주변 근처에 존재하는 범프(1) 바로 아래의 음력 완화층(5)의 막 두께를 다른 개소와 비교하여 얇게 한 반도체 장치(13)의 실시예의 일례를 도 24를 이용하여 설명한다. 이 실시예에서는 최외주의 범프(1a)는 그 하나 내측의 범프(1b)와 비교하여, 6만큼 높이가 낮게 되어 있다.

반도체 장치(13)의 주변부에 관해서 음력 완화층(5)의 막 두께를 얇게 하는 방법으로서 페이스트형의 폴리이미드 재료 등의 음력 완화층 형성 재료 중에 포함되는 미소입자의 유무, 입자의 형상이나 배합, 인쇄 속도, 판 분리 속도, 인쇄 횟수 등의 인쇄 조건, 페이스트 중의 용매의 비율 등을 변경하는 방법이 있다.

일반적으로 반도체 장치(13)의 주변 근처에 존재하는 범프(1a)에는 회로 기판(14)에 반도체 장치(13)를 접속한 후의 각종 부하에 의해, 그 밖의 범프(1b) 등과 비교하여 큰 왜곡이 생기고 있다. 예를 들면, 반도체 장치(13)와 회로 기판(14)과의 선 팽창 계수는 다르기 때문에, 온도 상승시에는 반도체 장치(13)의 주변 근처의 범프(1a)가 할수록 큰 왜곡이 발생한다. 이 왜곡이 큰 경우나 반복하여 작용하는 경우, 반도체 장치(13) 주변으로부터의 범프(1a)는 파괴하기 쉽다.

본 실시예에 있는 바와 같이 반도체 장치(13)의 주변 근처에 관해서 음력 완화층(5)의 막 두께를 얇게 하면, 대응한 개소의 범프(1)의 형상을 제어하는 것이 가능해지고, 회로 기판(14)에 접속했을 때 범프(1)은 도 25에 도시한 바와 같은 세로 길이 범프(1aa)로 된다. 이러한 세로 길이 범프(1aa)에서는 체적 자체는 그 밖의 범프(1)와 동일하기 때문에, 범프(1)와 범프 패드(3)와의 접촉각 및 범프(1)와 회로 기판(14) 상의 패드와의 접촉각이 커진다. 즉, 도 25에서 $\alpha_1 > \alpha_2$, $\beta_1 > \beta_2$ 로 된다.

접촉각이 커짐으로써, 범프와 패드와의 접촉부에 대한 음력 집중은 완화되게 된다. 이와 같이 음력 완화층(5)의 막 두께를 반도체 장치(13)의 주변부의 범프 패드(3) 형성 개소에 관해서 그 밖의 부분보다 얇게 하고, 범프(1)의 형상을 세로 길이로 함으로써, 반도체 장치(13)와 회로 기판(14)과의 접속 신뢰성을 향상시킬 수 있다. 또, 음력 완화층(5)의 단면 형상은 범프(1)의 높이가 반도체 장치(13)의 회로 기판(14)에 대한 접속시에 지장이 없는 범위 내에서 설계하는 것이 가능하고, 여러 가지 것이 생각된다.

δ 의 크기는 (1) 최외주에 위치하는 세로 길이 범프(1aa)에 요구되는 음력 완화 특성, (2) 반도체 장치(13)의 기능 검사에서 범프 높이 변동 허용치, (3) 반도체 장치(13)의 회로 기판(14)에 대한 접속시의 범프 높이 변동 허용치 등을 고려하여 결정한다. 보다 구체적으로 기술하면, 상기 음력 완화 특성은 음력 완화층(5)의 탄성률과 반도체 장치(13)의 사이즈로부터 구한다. 한편, 기능 검사나 접속시의 변동에 대해서는 땀납 볼이나 음력 완화층(5)의 변형도 고려한 후에 이들의 허용치를 구한다. 예를 들면, 기능 검사는 범프 상면으로부터 검사 지그를 압박하여 음력 완화층(5)을 변형시키면, 범프 높이 변동이 실질적으로 존재하지 않은 상태에서 기능 검사하는 것이 가능하다. 이러한 조작을 행하였다고 해도, 음력 완화층(5)은 땀납 범프 재료와 비교하여 상당히 탄성률이 낮기 때문에, 땀납 범프의 변형보다 음력 완화층(5)의 변형이 우선하여 발생하고, 땀납 범프에 홀이 가거나 하는 것도 없다. 그렇기 때문에, 음력 완화 특성으로부터 요구되는 δ 의 값이 기능 검사 장치에서 요구되고 있는 범프 높이 변동보다 커졌다고 해도, 음력 완화층(5)의 변형에 의해서 대응할 수 있는 범위이면 지장이 없다. 또한, 음력 완화 재료는 탄성체이기 때문에, 검사 종료 후에는 형상이 복구되기 때문에 기판에의 접속시에도 특별한 문제는 없다.

이것을 감안하면, 사실상, 상기 (1) 및 (3)으로부터 δ 가 결정되게 된다. 상술한 바와 같이 음력 완화 특성은 음력 완화층(5)의 막 두께가 35 내지 150나노미터로 좋은 결과가 얻어지기 때문에, 음력 완화 특성으로부터는 $\delta = 150 - 35 = 115$ 나노미터로 된다. 또한, $\delta = 115$ 나노미터라는 값은 회로 기판(14)에의 접속 때에 허용되는 상한치와 거의 같다. 따라서 δ 의 값은 115나노미터가 대부분의 경우 상한치로 된다.

또한, 본 실시예의 구조는 반도체 장치의 미세화가 진행되고, 반도체 장치의 배선의 관계상, 음력 완화층의 경사부에 범프를 형성해야만 하는 경우에도 적용할 수 있다.

또, 상기 도 24에서는 최외주 범프(1a)와 그 1개 내측 범프(1b)에서 높이에 차를 생기게 하기 위해서 음력 완화층(5)의 두께를 제어하고 있지만, 그 밖의 제어 방법으로 보호층(8)의 구조 조정에 의한 방법도 있다. 예를 들면, 도 40에 도시한 바와 같이 최외주 범프(1a)의 바로 아래에서는 보호막(8)의 유기층을 형성하지 않거나, 혹은 극히 얇게 형성하는 것으로 멈추고, 범프(1b)보다 내측에서는 보호막(8)의 유기층을 조금 두껍게 형성하는 등의 방법이 있다. 필요에 따라, 음력 완화층(5)의 두께와 보호층(8)의 유기층 두께를 적절하게 조정하고 제어함으로써 원하는 높이 차 δ 를 달성하는 것도 아무런 문제는 없다.

또한, 반도체 장치의 최외주에 위치하는 범프에는 외력이 가해지기 쉽고, 땀납에 균열 등이 생길 수 있는 경우가 있기 때문에, 최외주에 위치하는 범프 중 몇 개는 완충 부재로서 이용하여도 좋다. 이 경우, 완충 부재로서 사용하는 범프는 알루미늄 패드(7)와 전기적으로 접속되지 않고, 반도체 장치가 전기적으로 동작하는 데에 있어서 불필요한 것으로 하는 것이 바람직하다. 이에 따라, 반도체 장치가 전기적으로 동작하는 데에 있어서 필요한 그 밖의 범프에서 파단이 발생하기까지 기간을 연장할 수 있다. 또, 완충 부재로 하는 몇 개의 범프에 대해서는 범프 직경을 크게 함으로써 또한 범프 파단까지의 기간을 연장할 수 있다. 또, 본 실시예에서는 적합한 범프 직경을 크게 하기 위해서 공기 관용의 어느 쪽의 방법을 이용하여도 좋지만, 특히 적합한 방법을 1개 예시하면, 땀납의 체적 자체는 그 밖의 범프와 동일하게 한 채로 범프 랜드(패드)를 크게 하는 것이다. 패드를 크게 함으로써 접속 직경은 커지는 한편, 땀납의 체적은 다른 것과 동일하기 때문에 범프 높이가 낮아지고, 그 결과로서, 회로 기판(14)에 접속했을 때에 범프 패드와의 접촉각이 커져 범프와 패드의 접촉점에서의 음력 집중을 회피할 수 있다. 음력 집중이 없어짐에 따라 땀납 내에서의 크랙 진전이 늦어짐과 함께, 범프 직경이 증대함에 따라 파단에 이르기까지의 크랙 길이의 절대치 그 자체도 커지고 있기 때문에, 범프는 단까지의 기간 연장에 크게 공헌한다.

또한, 반도체 장치를 접속하는 회로 기판의 배선 인출의 설계를 용이하게 한다고 하는 관점으로부터 생각하면, 반도체 장치의 중앙 부근에 전원 또는 접지선을 배치하는 것이 바람직하고, 그 결과로서, 도 26의 (a), 도 26의 (b)에 도시한 바와 같이 알루미늄 패드(7)와 알루미늄 패드(7)로부터의 거리가 가까운 범프 패드를 접속하는 재배선용 배선(4)은 신호선으로서, 먼 범프 패드를 접속하는 재배선용 배선(4)은 전원 또는 접지선으로서 이용하는 것이 바람직하다. 이 경우, 알루미늄 패드(7)로부터의 거리가 가까운 범프는 음력 완화층(5)의 경사부에 위치하는 경우도 있다. 또한, 전원 또는 접지선은 신호선보다 배선 폭을 넓게 하도록 하여도 좋다.

반도체 장치의 다른 실시예를 도 27에 도시한다. 본 실시예에서는 음력 완화층(5)을 반도체가 형성된 웨이퍼(9) 상의 이웃의 반도체 장치(13)에 걸친 상태에서 형성하고 있다. 알루미늄 패드(7), 범프 패드(3), 및 이들을 접속하는 재배선용 배선(4)은 재배선용 배선(4)이 반도체 장치(13)와 이웃의 반도체 장치(13)와의 경계를 절단하지 않도록 설계상의 연구가 이루어져 있다. 제조 단계는 이미 설명한 것과 기본적으로는 동일하지만, 제7 단계 이후에 차이가 있다.

반도체 웨이퍼를 절단할 때에는 음력 완화층(5)의 절단도 필요하지만, 음력 완화층(5)은 저탄성 재료이기 때문에, 대부분이 실리콘으로 이루어져 강도가 다른 반도체가 형성된 웨이퍼(9)와 밀착하여 절단하는 것은 어렵다. 이 때문에, 우선 음력 완화층(5)에 대한 절단을 행한 후에, 반도체가 형성된 웨이퍼(9)를 다시 절단한다. 이하, 도 28을 이용하여 설명한다.

우선, 제7 단계 변경에 있어서 음력 완화층(5)만을 절단한다. 절단 방법으로는 저탄성 수지 재료의 절단에 적합한 회전날을 사용하는 것이 좋다. 이외에도 탄산 가스 레이저나 샌드블라스트 등을 사용할 수 있다.

제8 단계 변경에서 표면 보호막(6)으로서 땀납 레지스트를 전면에도포한다. 도포 방법으로는 스프인 코팅법 외 매쉬형의 마스크를 이용한 인쇄나 커튼코팅이라도 좋다. 땀납 레지스트를 도포하기 위해서도 제7 단계 변경에서 음력 완화층(5)의 절단부의 벽면은 수직이 아니고 역 사자형이 되도록 하는 것이 바람직하다. 이 코팅을 제7 단계 변경에서 음력 완화층의 절단 후에 행함으로써, 음력 완화층(5)이 반도체가 형성된 웨이퍼(9)의 표면으로부터 박리되는 요인으로 되거나, 반도체의 성능 열화를 야기하는 이온 등의 이들의 침입을 경감할 수 있고, 내구성 등을 확보한 디바이스를 제공할 수 있다.

제9 단계 변경에서 감광 현상을 행함으로써 표면 보호막(6)의 패턴을 형성한다. 이에 따라 범프 패드(3) 및 절단부(24) 및 그 주변만이 표면 보호막(6)으로부터 노출된다. 또한, 표면 보호막(6)을 마스크로서 무전해 금 도금을 실시함으로써 범프 패드(3) 상에 금을 성막한다. 또, 실시예에서는 금 도금만을 하였지만, 팔라듐이나 백금의 도금을 금 도금 전에 실시하여도 상관없고, 금 도금 종료 후에 주석 도금을 행하여도 특별한 문제는 없다.

제10 단계 변경에서 다이싱에 의해서 반도체가 형성된 웨이퍼(9)를 반도체 장치(13)로 분할한다. 또, 일반적으로 다이싱은 회전날을 이용하여 행해진다.

이상의 단계에 의해, 음력 완화층(5)을 절단하는 단계를 포함하는 반도체 장치(13)의 제조가 가능해진다.

본 실시예에 따르면, 반도체 장치(13)의 외형 치수가 작은 경우라도 문제없이 음력 완화층(5)을 형성할 수 있다. 구체적으로는 인정하는 2개의 반도체 장치에 걸쳐 음력 완화층(5)을 형성하는 경우에는 외형 치수가 거의 반으로 되더라도 음력 완화층(5)의 성막 기술을 바꿀 필요가 없고, 반도체 장치의 형상, 외형 치수 및 반도체 장치(13)를 상호 분리할 때의 여유부로 되는 절단부(24)의 폭, 형상을 조절함으로써 반도체 장치의 크기를 바꾸더라도 동일한 인쇄 마스크를 사용하여 제조하는 것조차 가능해지는 경우도 있다.

다. 또한, 재배선용 배선(4)은 제1 실시예와 마찬가지로 응력 완화층(5)의 경사부를 지나서 알루미늄 패드(7)와 범프 패드(3)를 접속하고 있기 때문에, 재배선용 배선(4)에 응력 집중부도 존재하지 않고, 언더 필을 필요로 하지 않은 플립 칩 접속이 가능해진다.

또, 본 실시예에 관한 구조는 특히 반도체 장치의 센터 부분에 패드가 레이아웃된 반도체 장치, 예를 들면 DRAM 등에 적용 가능하다.

또한, 본 실시예 중의 도면에서는 인정하는 두개의 반도체 장치(13)에 걸친 응력 완화층(5)을 절단하였지만, 재배선용 배선(4)이 알루미늄 패드(7)로부터 범프 패드(3)에 이르기 위한 슬롯부가 존재하는 한, 적어도 20이상의 반도체 장치(13), 예를 들면 상호 인접하는 4개의 반도체 장치에 관해서 연결한 응력 완화층(5)을 절단하는 구조를 채용하는 것도 가능하다. 당연한 일이지만, 인정하는 2열에 관해서 연결한 응력 완화층(5)을 형성하여 절단하도록 하여도 좋다. 이 경우, 열 방향의 위치 어긋남을 허용할 수 있는 제법이 되기 때문에, 보다 미세 가공에도 적용할 수 있다.

각 실시예에서 예를 들면 도 20이나 도 27에 도시한 바와 같이 응력 완화층(5)의 각부에는 라운딩을 행하면 좋다. 라운딩을 행하지 않은 경우, 페이스트형의 폴리이미드 재료를 이용하여 응력 완화층(5)을 인쇄할 때에 기포를 끌어들이는 불량이 때때로 관찰된다. 또한, 응력 완화층(5)이 각부로부터 박리되기 쉬워진다. 응력 완화층(5)에 기포가 잔류하면, 반도체 장치(13)를 가열했을 때에 기포가 파열하여 재 배선용 배선(4)이 단선하는 등의 문제점이 생긴다. 이 때문에, 응력 완화층(5)의 형성에 사용하는 인쇄용 메탈 마스크의 패턴 개구부(18)의 코너부는 둥글게 하여 놓는 것이 바람직하다.

또, 각 실시예에서 응력 완화층(5)은 인쇄용 메탈 마스크나 디스펜서를 이용하여 인쇄 도포하여 형성할 수 있다.

또한, 인쇄 방법뿐만 아니라, 스탬핑, 공기 혹은 불활성의 가스를 이용한 분무나 잉크 제트법, 미경화 혹은 반경화 상태의 수지 시트를 접착하는 등의 방법에 의해, 또는 이들의 방법을 적절하게 조합함으로써 형성 가능하다.

응력 완화층을 인쇄 방법으로 형성하는 경우, 인쇄부 단부의 기울기는 절연 재료를 인쇄하여 인쇄 마스크를 제거했을 때, 혹은 가열 경화 과정에 있어서 단부에서 절연층의 유동이 발생하여 단부의 경사부가 형성된다. 이 방법에서는 웨이퍼 단위로 응력 완화층 및 특정 기울기를 갖는 단부를 일괄적으로 작성하는 것이 가능하다.

한편, 스탬핑으로 응력 완화층을 형성하는 경우, 스탬핑용의 형에 응력 완화층의 절연 재료를 도포하고 웨이퍼 상에 응력 완화층의 형상을 전사하기 위한 절연 재료 경화시의 단부의 형상 변화가 생기지 않은 절연 재료의 선택이 가능해진다. 이 경우, 인쇄 방식에 비해 단부의 형상이 일정해지기 쉽다고 하는 특징이 있다.

또한, 절연재를 가스 등을 이용하여 분무하는 방식에서는 인쇄 마스크 혹은 스탬핑 금형을 이용하지 않기 때문에, 응력 완화층 형성시의 형상에 자유도가 있고, 노출 형상을 적당하게 선택하면, 인쇄 마스크나 스탬핑 금형에서는 형성하기 어려운 응력 완화층의 형상이 가능해진다. 또한, 인쇄 방식이나 스탬핑 방식에 비해, 분무량의 조정으로 응력 완화층의 두께를 조정할 수 있고, 두께 조정의 범위도 넓어진다.

반경화 혹은 미경화의 수지 시트를 접착하는 방식에서는 후막의 응력 완화층의 형성이 가능해지고 미리 시트형의 절연 수지를 이용하기 때문에, 응력 완화층 표면의 평탄성이 우수하다고 하는 특징이 있다.

이들의 방법을 단일 혹은 적절하게 조합함으로써 원하는 응력 완화층 두께, 단부 기울기를 얻는 것이 가능해진다.

다음에, 반도체 장치의 다른 실시예를 나타낸다. 도 29는 반도체 장치의 돌기 전극을 변환하기 위한 기판에 탑재한 상태를 나타내는 단면 개략도, 도 30은 또한 반도체 장치(13)와 이것을 탑재하는 기판의 간극을 수지(118)로 밀봉한 상태를 나타내는 단면 개략도이다.

반도체 장치(13)에 형성한 돌기형 전극(1)을 기판 상의 대응하는 전극(120) 상에 땀납 페이스트 혹은 플럭스 등을 통해 탑재하고, 리플로우로 등에 의해 상기 돌기형 전극을 용융시켜 기판(115)과 반도체 장치(13)의 접속을 행한다. 반도체 장치를 탑재하는 기판은 반도체 소자 탑재면의 이면에 각종 전자 기기에 이용되는 기판에 탑재하기 위한 전극(120) 및 필요에 따라서 돌기형 전극(121)을 갖는다.

반도체 장치(13)를 각종 전자 기기에 이용되는 기판에 탑재할 때, 기판(115) 상에 설치한 돌기형 전극(121)을 가열 용융시킬 필요가 있다. 이들의 실장 단계 및 각종 시험에서 신뢰성, 특히 낙하 충격 시험에 대한 신뢰성 성능을 더욱 향상시키기 위해서, 반도체 장치(13)와 기판(115) 간을 수지(118)로 보강한 것이다.

반도체 장치(13)와 기판(115) 간을 충전하는 수지(118)는 일반의 반도체 밀봉용에 사용되는 액형의 에폭시 수지, 페놀 수지, 폴리이미드 수지, 실리콘 수지 등이 사용 가능하고, 밀봉 수지의 열 팽창 계수나 탄성률을 조정하기 위해서 실리콘, 알루미늄, 질화 붕소 등의 무기 재료로 이루어지는 입자를 한종류 혹은 두종류 이상 배합하고, 또한 필요에 따라서 실리콘이나 열 가소성 수지 등 수지, 알콕시 실란이나 치터네이트 등으로 이루어지는 커플링제, 착색제, 내연성을 부여시키기 위한 내연제나 내연 조제 수지층의 경화 반응을 촉진시키기 위한 경화 촉진제 등을 배합하는 것이 가능하다.

본 실시예에서는 반도체 장치 상의 돌기형 전극의 피치와 각종 전자 기기에 이용되고 있는 기판의 전극의 피치가 다른 경우이더라도, 소정의 기판을 통함으로써 각종 전자 기기에 접속하는 일이 가능해진다.

또, 반도체 장치로 이루어지는 기판에의 실장과 마찬가지로 일반 전자 기기에 이용되는 회로 기판에 실장하는 경우도 마찬가지로 한다.

또, 지금까지 설명한 실시예에서 필요에 따라서 예를 들면 반도체 장치의 절연층에 저탄성의 재료를 사용하고, 또한 두께 350마이크론 이상의 절연층을 형성함으로써, 접속부의 파괴를 방지할 수 있다. 또한,

저탄성의 절연층이 존재함으로써 접속부에 생기는 응력을 대폭적으로 저감하는 것이 가능해진다. 이 때문에, 반도체 장치의 접속 수명은 대폭적으로 향상한다.

또한, 약 35마이크로미터 이상의 두께막의 절연층을 채용하는 경우, 종래의 배선 형성 방법이 적용하기 어렵다. 절연층을 후막 형성하는 경우, 절연층 형성용의 재료는 고점도이기 때문에, 스프인 코팅법에서는 기포를 포함한 절연층이 되고, 절연층으로서의 기능을 달성하지 못한다. 이와는 별개로 신규의 후막 형성 방법을 개발하였다고 해도, 35마이크로미터의 막 두께에서는 광의 투과성이 저하하기 때문에, 노광 현상에서는 절연층의 개구부 등을 고정밀도로 패턴 형성할 수 없다. 이 문제를 해결할 수 있었다고 해도 절연층의 개구부의 측벽은 80도 정도나 그 이상인 거의 수직이고, 또한 그 높이가 배선 두께보다 대폭적으로 큰 값으로 되기 때문에, 금속 배선이 측벽에 형성되기 어렵게 된다. 또한 가령 형성할 수 있었던 경우라도, 측벽과 상층과의 경계부에 있어서 금속 배선의 굴곡부가 형성되기 때문에, 이 장소에 응력이 집중하기 쉽고, 이 때문에 균열이 전진하기 쉽다. 이 때문에, 회로 기판 접속시의 접속 수명이 짧아진다.

그래서 상술한 바와 같이 미소립자를 함유한 절연 재료를 마스크 인쇄함으로써 후막 절연층의 형성을 행하고, 절연층 개구부의 형상을 완만한 사면으로 하는 것이 바람직하다. 이에 따라, 절연층 상의 배선은 종래 공법에 의해 형성 가능하고, 또한 응력이 집중하는 금속 배선의 굴곡부도 존재하지 않기 때문에, 배선의 단선도 생기기 어려워진다.

본 발명에 따르면, 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치가 실현된다.

발명의 효과

본 발명은 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현하고, 고정밀도로 배선을 형성할 수 있다.

본 발명은 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현함과 함께 기판 등에서의 실장시의 신뢰성을 향상시킨 반도체 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 장치에 있어서,

반도체 소자와, 상기 반도체 소자 상에 형성된 절연층과, 상기 절연층 상에 형성된 외부 접속 단자와, 상기 절연층 상에 형성되고 또한 상기 반도체 소자의 회로 전극과 상기 외부 접속 단자를 전기적으로 접속하는 배선을 포함하는 반도체 장치에 있어서,

상기 절연층의 경사부의 전원을 배선 혹은 접지용 배선의 형상과 신호용 배선의 형상이 다른 것을 특징으로 하는 반도체 장치.

청구항 2. 제1항에 있어서, 상기 경사부의 상기 전원을 배선 혹은 상기 접지용 배선의 배선 폭이 상기 경사부의 상기 신호용 배선의 배선 폭보다 넓은 것을 특징으로 하는 반도체 장치.

청구항 3. 제1항에 있어서, 상기 경사부에서 상기 전원을 배선 혹은 상기 접지용 배선의 평균 배선 폭이 상기 경사부의 상기 신호용 배선의 평균 배선 폭보다 넓은 것을 특징으로 하는 반도체 장치.

청구항 4. 반도체 소자와, 상기 반도체 소자 상에 형성된 절연층과, 상기 절연층 상에 형성된 외부 접속 단자와, 상기 절연층 상에 형성되고 또한 상기 반도체 소자의 회로 전극과 상기 외부 접속 단자를 전기적으로 접속하는 배선을 포함하는 반도체 장치에 있어서,

상기 절연층의 단부에서 상기 배선의 폭이 넓어지는 것을 특징으로 하는 반도체 장치.

청구항 5. 제1항 또는 제4항에 있어서, 상기 절연층의 경사부는 상기 반도체 소자면에 대하여 약 5° 내지 약 30°의 기울기를 갖는 것을 특징으로 하는 반도체 장치.

청구항 6. 제1항 또는 제4항에 있어서, 상기 절연층의 두께는 35 내지 150마이크로미터인 것을 특징으로 하는 반도체 장치.

청구항 7. 제1항 또는 제4항에 있어서, 상기 절연층은 마스크를 이용하여 인쇄되고 형성되는 것을 특징으로 하는 반도체 장치.

청구항 8. 제1항 또는 제4항에 있어서, 상기 절연층은 입자를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9. 제1항 또는 제4항에 있어서, 상기 절연층의 막 두께가 60마이크로미터 내지 80마이크로미터 일 때에, 상기 신호용 배선의 최소 배선 폭은 25마이크로미터인 것을 특징으로 하는 반도체 장치.

청구항 10. 제1항 또는 제4항에 있어서, 상기 배선의 한쪽 단부는 범프 패드를 겸용하는 것을 특징으로 하는 반도체 장치.

청구항 11. 제1항 또는 제4항에 있어서, 상기 배선은 니켈 도금과 구리 도금에 의해 형성된 배선층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 12. 반도체 소자와, 상기 반도체 소자 상에 형성되고 또한 막 두께가 35 내지 150마이크로미터인 절연층과, 상기 절연층 상에 형성된 외부 접속 단자와, 상기 절연층 상에 형성되고 또한 상기 반도체 소자의 회로 전극과 상기 외부 접속 단자를 전기적으로 접속하는 배선을 포함하는 반도체 장치에 있어서, 상기 배선은 구리 배선 상을 따라서 니켈층으로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 13. 반도체 장치에 있어서,

반도체 소자와, 상기 반도체 소자 상에 형성된 절연층과, 상기 절연층의 두께가 실질적으로 동일한 평탄부에 형성한 제1 외부 접속 단자와, 상기 절연층의 경사부에 형성한 제2 외부 접속 단자와, 상기 절연층 상에 형성되고 또한 상기 반도체 소자의 회로 전극과 상기 제1 외부 접속 단자 또는 제2 외부 접속 단자를 전기적으로 접속하는 배선을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 14. 제13항에 있어서, 상기 제1 외부 접속 단자의 상기 반도체 소자로부터의 높이와 상기 제2 외부 접속 단자의 상기 반도체 소자로부터의 높이 차가 1150마이크로미터 이하인 것을 특징으로 하는 반도체 장치.

청구항 15. 제13항에 있어서, 상기 경사부는 상기 반도체 소자면에 대하여 약 5% 내지 약 30%의 기울기를 갖는 것을 특징으로 하는 반도체 장치.

청구항 16. 제13항에 있어서, 상기 제1 외부 접속 단자(평탄부)의 형상과 상기 제2 외부 접속 단자의 형상이 다른 것을 특징으로 하는 반도체 장치.

청구항 17. 제13항에 있어서, 상기 제1 외부 접속 단자와 상기 절연층이 이루는 접촉 각도 α_2 가 상기 제2 외부 접속 단자와 상기 절연층이 이루는 접촉 각도 α_1 보다 작은 것을 특징으로 하는 반도체 장치.

청구항 18. 제13항에 있어서, 상기 제1 외부 접속 단자와 실장 회로 기판이 이루는 접촉 각도 β_2 가 상기 제2 외부 접속 단자가 상기 실장 회로 기판과 이루는 접촉 각도 β_1 보다 작은 것을 특징으로 하는 반도체 장치.

청구항 19. 제13항에 있어서, 상기 제2 외부 접속 단자와 상기 반도체 소자의 회로 전극을 접속하는 배선을 신호용 배선으로 하고, 상기 제1 외부 접속 단자와 상기 반도체 소자의 회로 전극을 접속하는 배선을 접지용 배선 혹은 전원용 배선으로 하는 것을 특징으로 하는 반도체 장치.

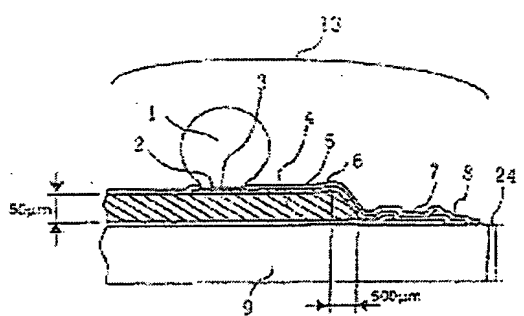
청구항 20. 제19항에 있어서, 상기 신호용 배선의 배선 폭의 평균치가 상기 접지용 배선 혹은 상기 전원용 배선의 배선 폭의 평균치보다 작은 것을 특징으로 하는 반도체 장치.

청구항 21. 제13항에 있어서, 상기 절연층을 마스크를 이용하여 인쇄하여 형성하는 것을 특징으로 하는 반도체 장치.

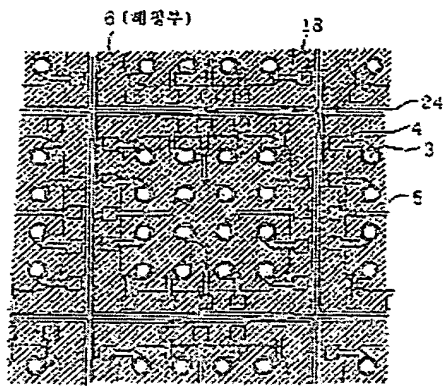
청구항 22. 제13항에 있어서, 상기 절연층은 입자를 포함하는 것을 특징으로 하는 반도체 장치.

도면

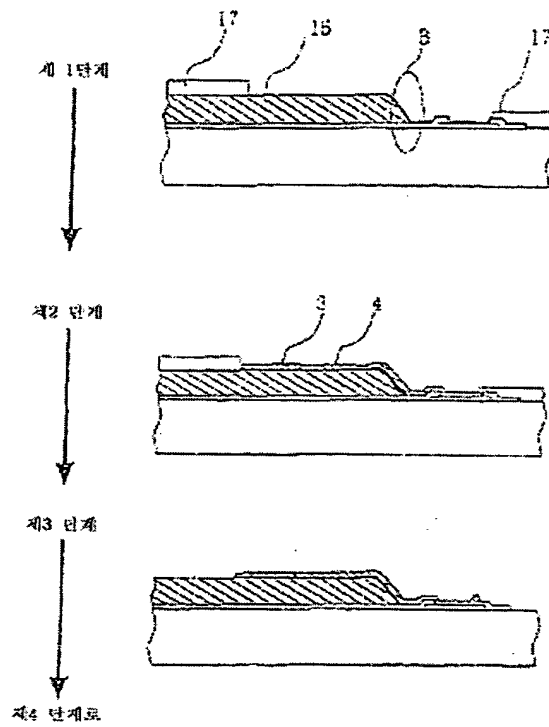
도면1



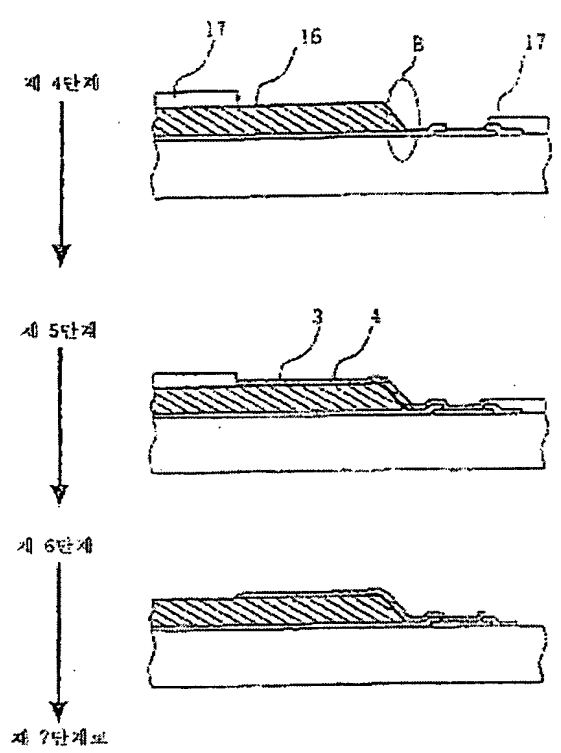
도 182



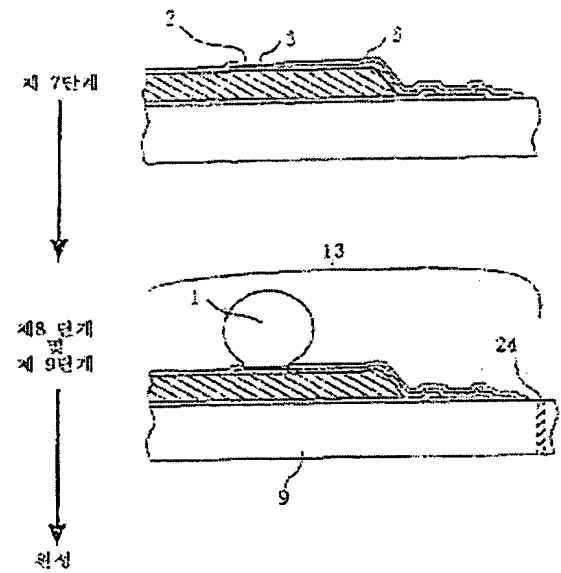
도 183



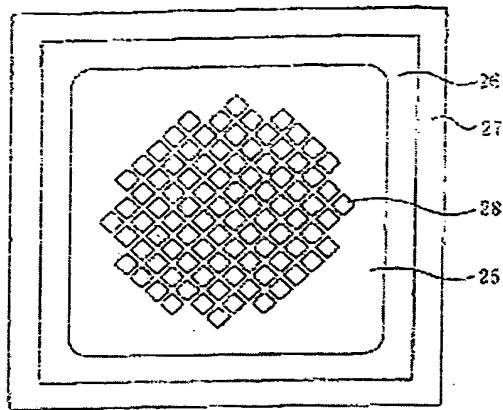
도 24



도 25

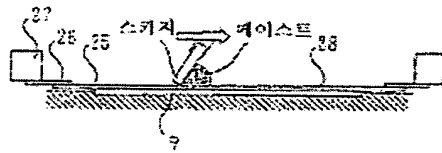


도 26

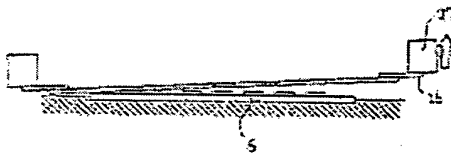


BEST AVAILABLE COPY

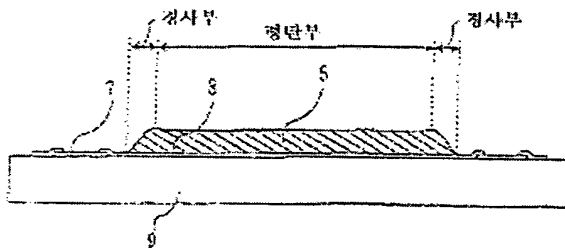
도 27



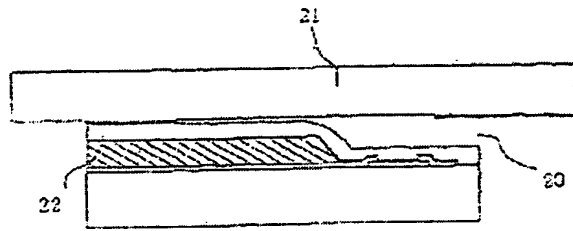
도 28



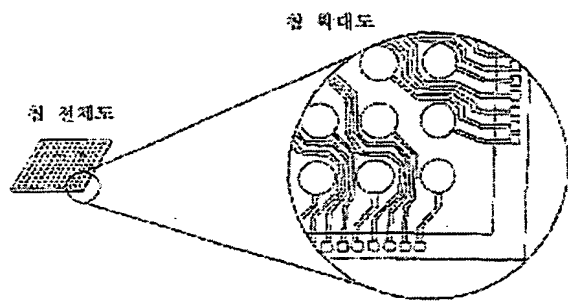
도 29



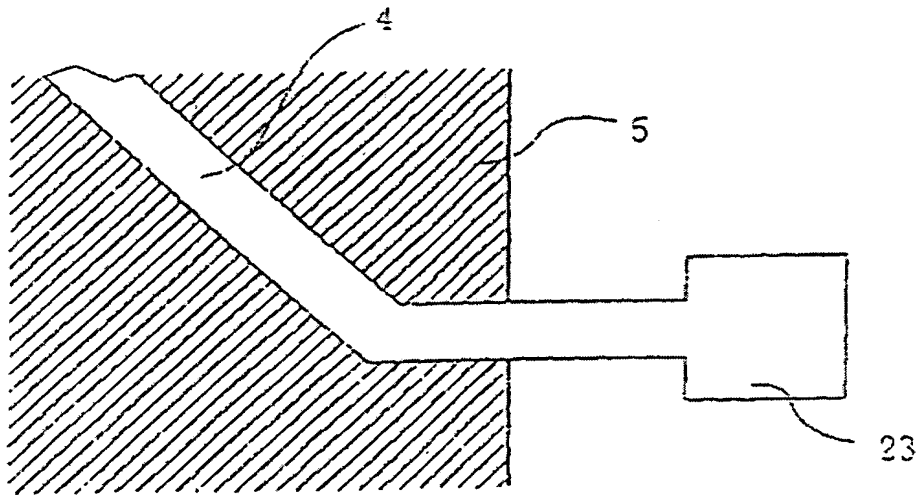
도면 10



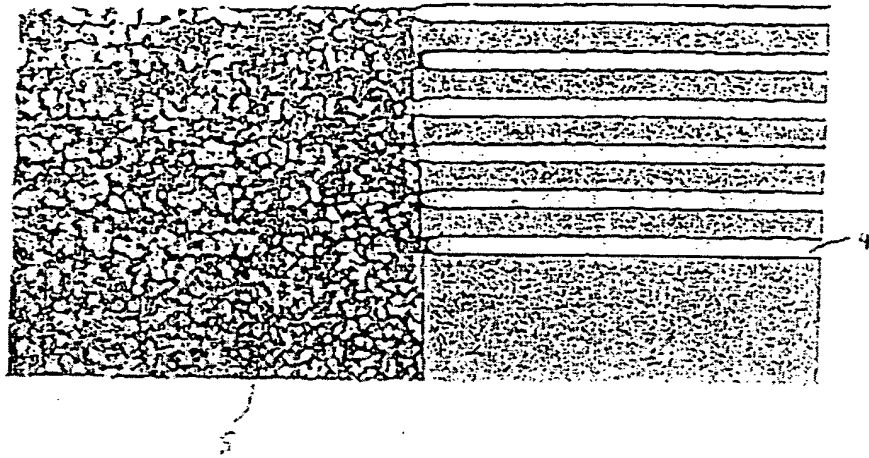
도면 11



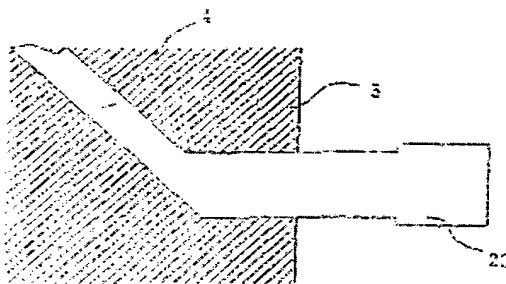
도면 12



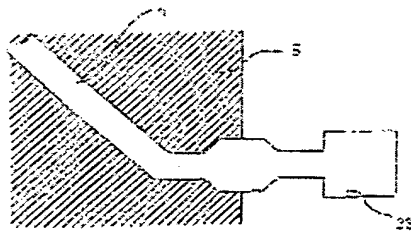
도면 13



도면 14



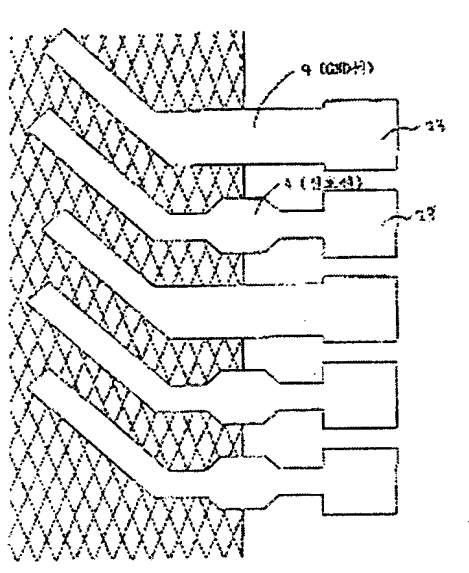
도면 15



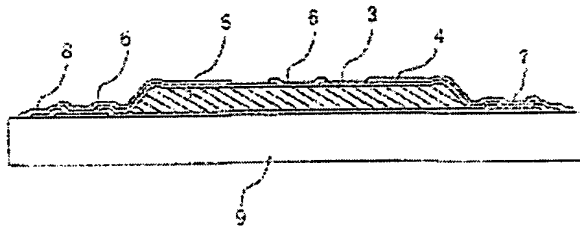
BEST AVAILABLE COPY

BEST AVAILABLE COPY

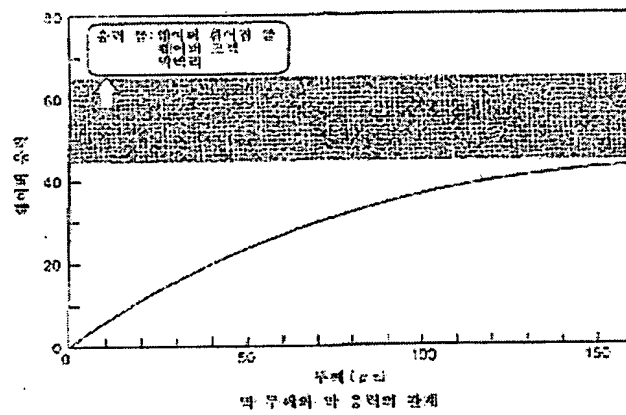
도면 18



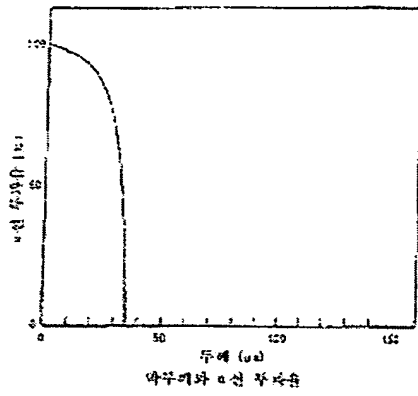
도면 17



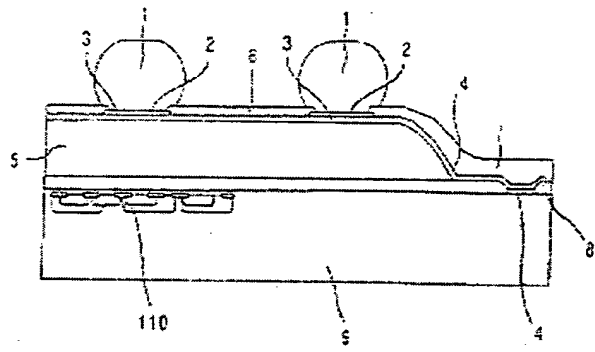
도면 19



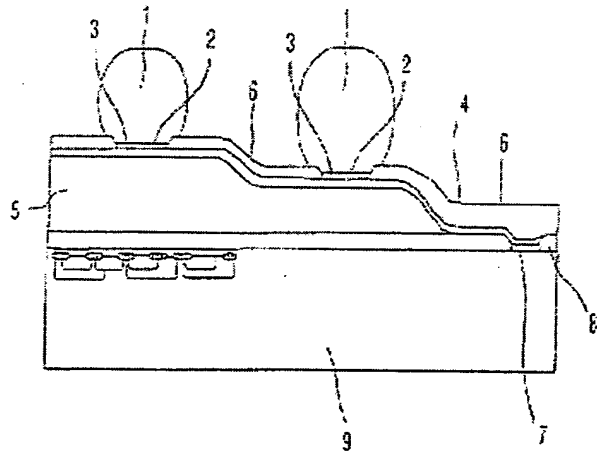
도 19



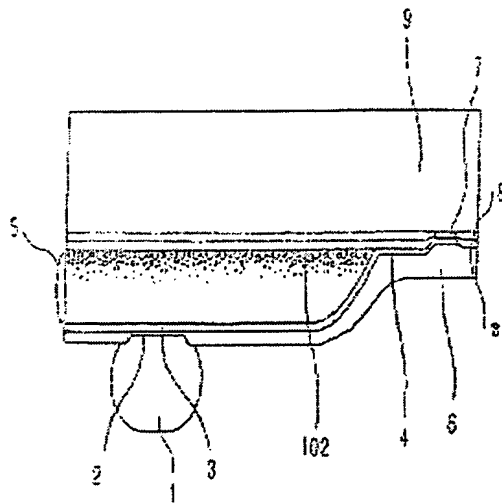
도 20



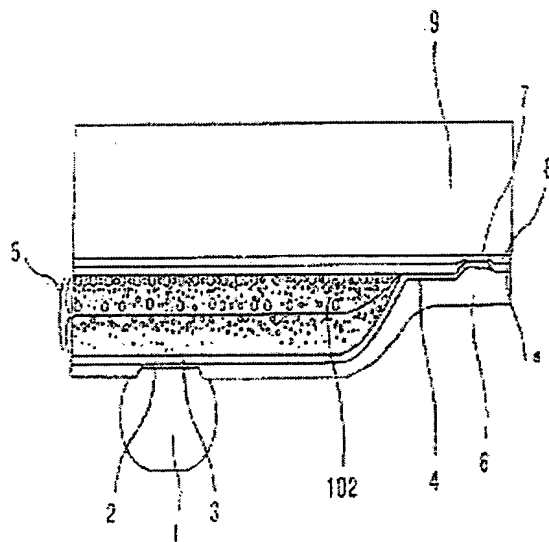
도 21



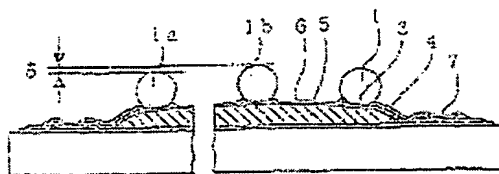
도 22



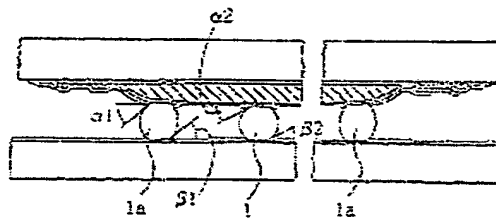
도 23



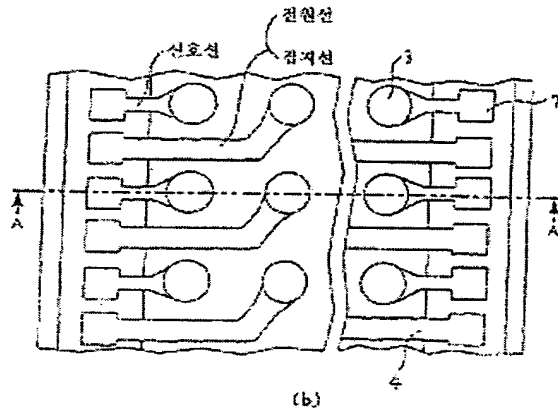
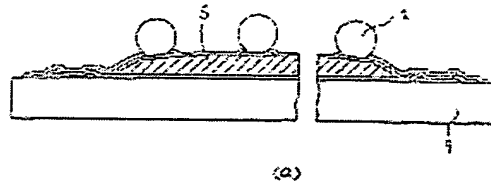
도 24



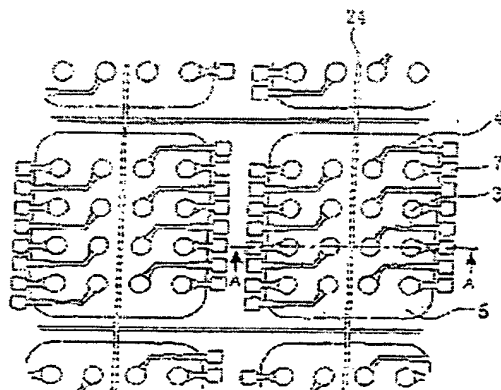
도 25



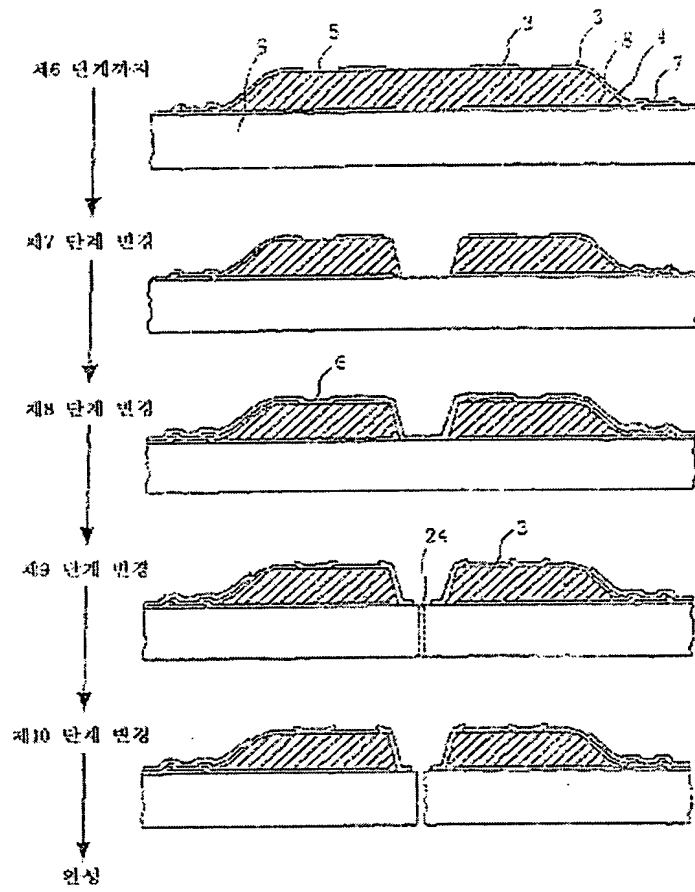
도 26



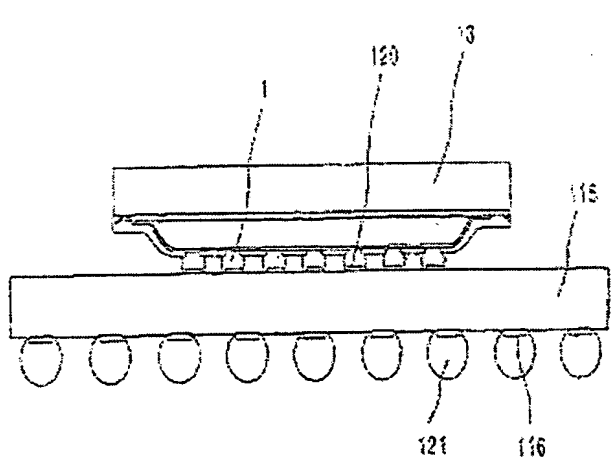
도 28



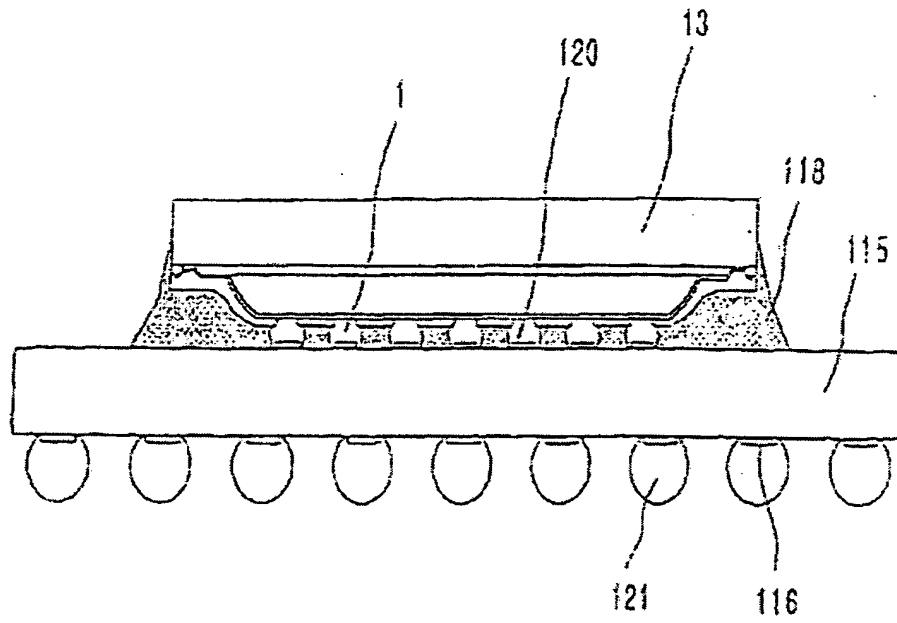
도면28



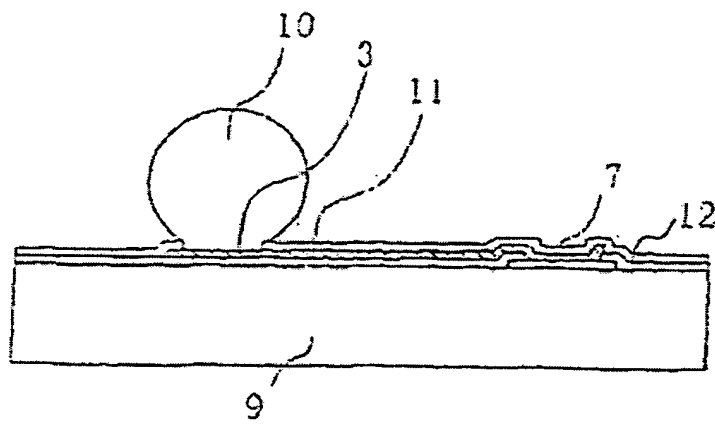
도면29



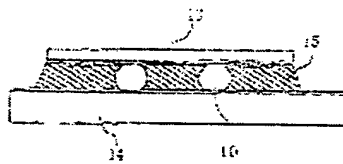
도 30



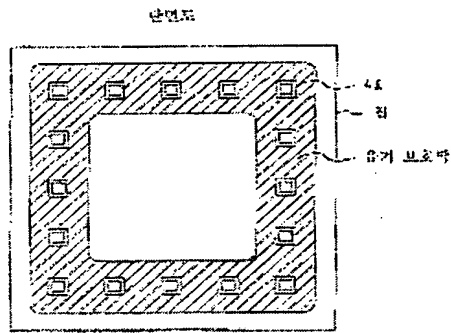
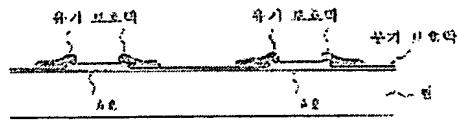
도 31



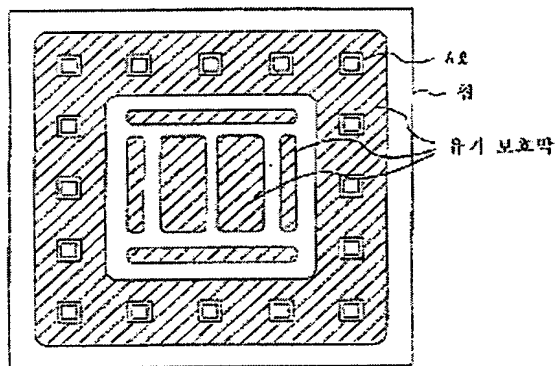
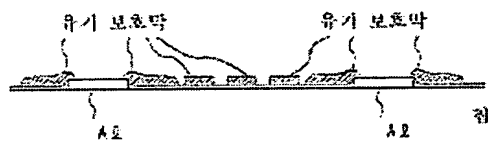
도 32



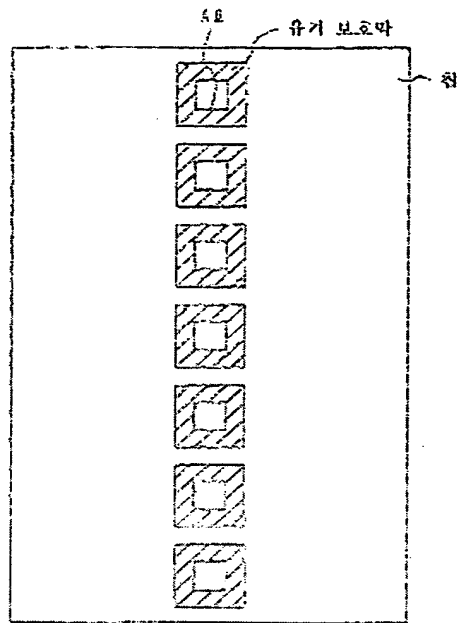
도면33



도면34

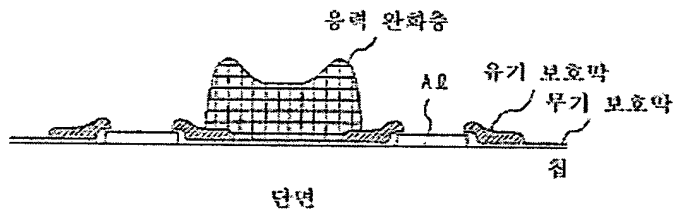


도면35



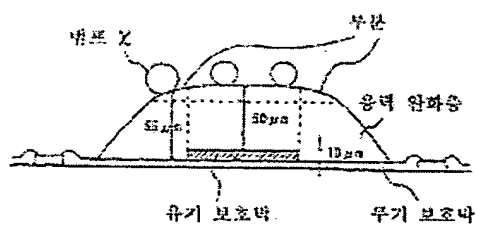
상면도

도면36

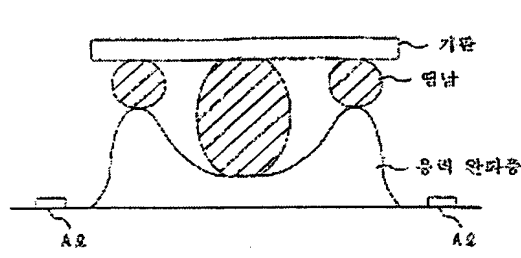


단면

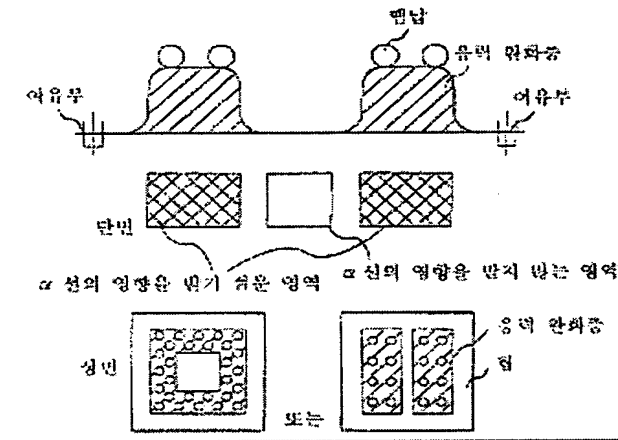
도면37



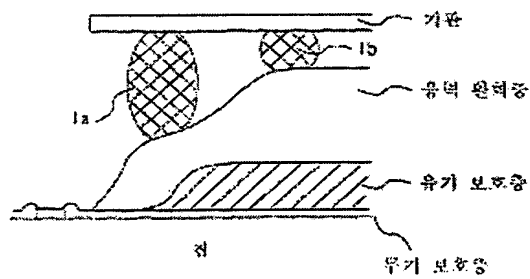
도면38



도면39



도면40



도면41

